

高速データ変換

概要

高速データ変換器を設計する場合に考慮すべき事項は一般のデータ変換器と多くの点で共通しますが、最高の性能を発揮させるためには、設計技術や回路アーキテクチャ、および使用するデバイスに関する高度な知識が必要となります。高速回路および高速システムのダイナミック特性は最新技術の応用により常に進化しています。

本アプリケーションノートは高速データ変換器の基本的な機能ブロックであるオペアンプについて最初に検討し、つぎにサンプル/ホールド(S/H)、D/Aコンバータ(DAC)の検討を行い、最後にA/Dコンバータ(ADC)について検討します。ADCはオペアンプ、S/H、DACの機能ブロックを組み合わせることで構成することができます。最も優れたデータ変換器は優れた設計技術により実現されるため、ハイブリッドICやモノリシックICの設計技術について重点的に検討します。テーマは広範囲な設計分野から選択しています。回路理論と設計例は、データ変換器の設計者とユーザの双方に有益なものを選択しており、データ変換器に関する高度な経験がない場合でも容易に理解できるように基本概念を十分に説明しました。テーマは主として高速回路の設計技術に焦点を合わせ、回路論理にはあまり深入りしていません。

本アプリケーションノートで検討するテーマ

- A. アンプのアーキテクチャ
 1. バッファ
 2. オペアンプ
 3. 開ループ
 4. コンパレータ
- B. アンプのアプリケーション
 1. トラック/ホールド
 2. ピーク検出器
- C. デジタル/アナログ・コンバータ
 1. バイポーラ
 2. デグリッチDAC
- D. アナログ/デジタル・コンバータ
 1. フラッシュ
 2. 逐次比較
 3. サブ・レンジング

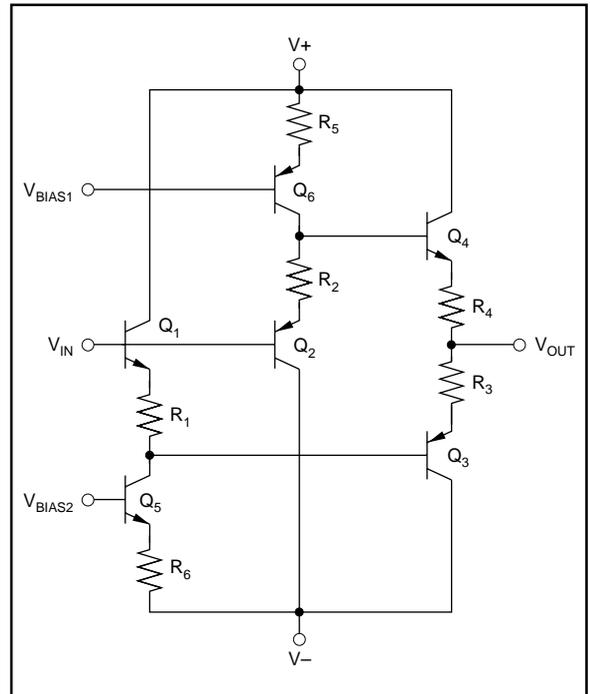


図1. 高速バイポーラ・バッファ

E. テスト技術

1. セトリングタイム
2. アパーチャ・ジッタ
3. ビート周波数試験
4. サーボ・ループ試験

A. アンプのアーキテクチャ

データ変換システムでは、すべてのタイプのアンプが重要な役割を演じます。高速アンプは便利であると同時に、設計が難しいため、その動作を理解することが重要になります。したがって、異なる4つのタイプのアンプ・アーキテクチャを検討します。信号処理アプリケーションでは、バッファ、オペアンプ、開ループ・アンプ、およびコンパレータが使用されます。

バッファ

開ループ・バッファは、エミッタ・フォロワを発展させた回路で、その単純性、低コスト性、広帯域特性および使いやすさなどから広範囲に使用されています。高速システムでは開ループ・バッファが重要な役割を果たします。これは低速システムの電圧フォロワと同じ役目を果たすほか、広帯域オペアンプや広帯域アンプの出力段としても使用されます。まず、図1および2の2つのバッファの回路図について検討します。各バッファの出力インピーダンスは約5Ωで、数百MHzの帯域幅が実現できます。FETバッファは極めて広い帯域のFETおよびトランジスタが、一般に同一のモノリシック・プロセスで利用できないため、ハイブリッドICとして実現されます。バッファに使用されているバイポーラ・トランジスタは、NPNとPNPの帯域幅を等しくする必要があるので、縦構造トランジスタを使用したコンプリメンタリ・バイポーラICプロセスによって製造されています。図1に最も基本的な形式のバッファを示します。バッファ入力は1組のコンプリメンタリ・トランジスタに接続されています。各トランジスタは独立した電流源でバイアスされています。入力トランジスタ Q_1 および Q_2 が、抵抗 R_1 と R_2 を介して出力トランジスタ Q_3 そして Q_4 に接続されているため、NPNおよびPNPトランジスタのベース・エミッタ間電圧が等しければ、オフセット電圧はゼロになります。オフセット電圧をゼロにするためには、両方のトランジスタの V_{BE} が同じバイアス電流で等しくなるように設計する必要があります。これはコンプリメンタリ・プロセスによって実現することができます。この回路は適度な高入力インピーダンスを持ち、高電流出力を供給する能力を備えているため極めて有益です。このバッファ回路の1つの重要な使用方法として、モノリシック・オペアンプの出力電流を増幅することがあげられます。モノリシック・オペアンプの出力電流は一般に、10mA～50mAを越えることがなく、図1に示すバッファは100mA以上の出力電流を供給できます。このタイプのバッファは標準で250MHzの帯域幅を持っているため、安定性にほとんど影響を及ぼすことなく、大抵のモノリシック・オペアンプの帰還ループに使用することができます。オペアンプと組み合わせて開ループを構成する方法を図3に示します。この回路のDC特性はオペアンプにより決定され、出力バッファには影響されません。図3の接続方法の利点は、負荷駆動による発熱がバッファ内で起こり、熱による歪およびオフセット・ドリフトが熱に敏感な入力オペアンプから除去されることです。

図2に前述の回路のFET版を示します。FETバッファはNPNトランジスタ Q_5 のミラー作用によって入力FETのゲート・ソース電圧を再生し、ゼロ・オフセットを実現しています。 Q_5 の V_{BE} はFET電流源 Q_4 のゲート・ソース電圧を決めます。同じ大きさの電流が Q_4 と Q_1 を流れるため、 Q_1 のゲート・ソース電圧は V_{BE} と等しくなります。 Q_5 と Q_6 は同じ特性のトランジスタであるため、FETバッファ回路のオフセットは通常ゼロになります。図2の回路は一般にハイブリッドICとして構成されるため、通常は抵抗 R_1 および R_2 を調整してこの回路のオフセットを設定しなければなりません。オフセットをゼロに設定するのは、バッファに通電した状態で抵抗 R_1 および R_2 をレーザー・トリムして行われます。(これをアクティブ・トリミングといいます)。この回路の一般的な応用としては、トラック/ホールド内のホールド・キャパシタをバッファすることです(トラック/ホールドの章参照)。FETバッファは高インピーダンスであり、標準的なFETの室温における入力電流は50pA程度であるため、キャパシタは比較的長時間サンプル電圧を保持する

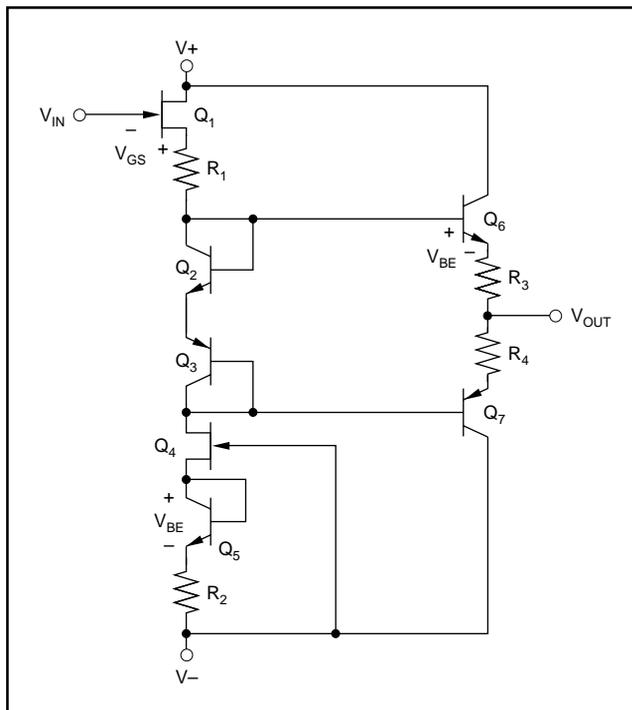


図2. 高速FETバッファ

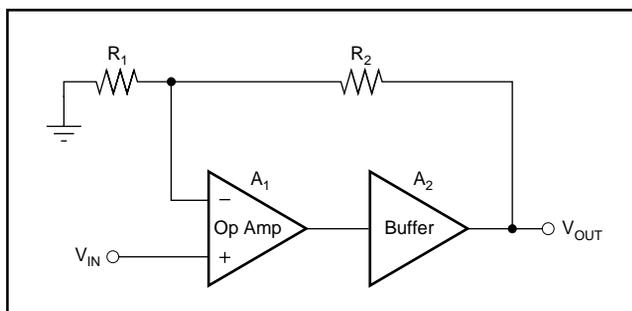


図3. 高電流オペアンプ

ことができます。

両タイプのバッファの一般的な応用としては、システム全体の帯域幅を低下させることなく、高い容量性負荷を駆動することがあげられます。オペアンプはその開ループ出力インピーダンスが極めて低くても、高い容量性負荷が接続されると不安定になる場合があります。開ループ・バッファは一般に、容量性負荷を駆動しているときでも安定していますが、容量性負荷が過大になると、リングングを引き起こし易くなります。図4はエミッタ・フォロワがリアクティブな出力インピーダンスにより、いかに発振するかを示しています。図5から7に、単純なエミッタ・フォロワが容量性負荷を駆動するときを示す発振の傾向を、各種の条件に対して計算した結果を示します。

開ループ・バッファの極めて重要な応用として、バックマッチされた伝送ケーブルを駆動する方法があります。ケーブルのバックマッチングは、受信端でケーブルを終端する通常のマッチング方式と同様に反射を防止することができます。バックマッチしたケーブルの利点は、駆動回路の負荷変動特性が軽減されることと、温度に関係したケーブルの銅損による精度の低下が防止できることです。図8にバックマッチされたケーブルを駆動する開ループ・バッファの動作を示します。

オペアンプ

広帯域オペアンプのアーキテクチャ例をいくつか示します。これらのオペアンプのセトリングタイムは±0.01%で100ns以下であり、閉ループ帯域幅は100MHzを越えています。“どの程度のループ・ゲインで十分なのか？”という質問をしばしば受けますが、広帯域アンプでは帯域幅と位相マージンを最適化しているために、低周波アンプと同じ大きさの開ループ・ゲインを実現することはできません。開ループ・ゲインが全温度範囲で安定し、信号に対する直線性が適切であれば、高い開ループ・ゲインに対する条件が緩和されます。このことは、広帯域アンプで高い開ループ・ゲインを実現することが困難なため重要です。

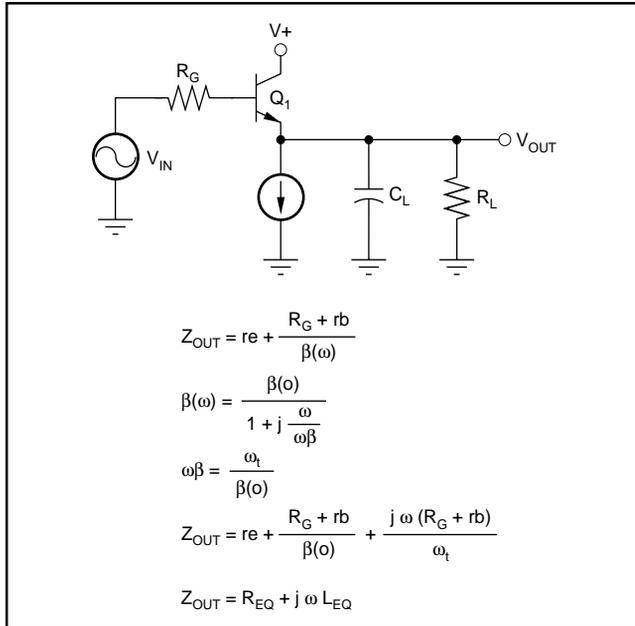


図4. エミッタ・フォロウの出カインピーダンス

$$\frac{V_{OUT}}{V_{IN}} = 1 - \left[\frac{k}{(1-k^2)^{1/2}} \sin 2\pi (1-k^2)^{1/2} \frac{t}{T} + \cos 2\pi (1-k^2)^{1/2} \frac{t}{T} \right] e^{-2\pi k t / T}$$

Where: $T = 2\pi (L_{EQ} \cdot C_L)^{1/2}$

$$k = \left[\frac{R_{EQ}}{L_{EQ}} + \frac{1}{R_L C_L} \right] \frac{T}{4\pi}$$

$$R_{EQ} = re + \frac{R_G + rb}{\beta(0)}$$

$$L_{EQ} = \frac{R_G + rb}{\omega T}$$

図5. 時間応答

$f_T = 1\text{GHz}$	$f_T = 5\text{GHz}$	$f_T = 5\text{GHz}$
$R_G = 50\Omega$	$R_G = 50\Omega$	$R_G = 50\Omega$
$rb = 50$	$rb = 50$	$rb = 50$
$re = 5$	$re = 5$	$re = 5$
$C_L = 50\text{pF}$	$C_L = 50\text{pF}$	$C_L = 50\text{pF}$
$\beta(0) = 100$	$\beta(0) = 100$	$\beta(0) = 100$
$k = 0.35$	$k = 0.44$	$k = 0.51$
$T = 5.6\text{ns}$	$T = 4.7\text{ns}$	$T = 1.9\text{ns}$

図6. 各種条件

アンプの開ループ・ゲイン/位相特性、すなわちボード線図を決定する方法がいくつかあります。高スルーレートまたは高速セトリングタイムのいずれかを重要視するかによって、選択する方法が異なります。これらのアンプの開ループ・ゲインを安定させる方法によっても、セトリング特性が異なってきます。これから、これらの方法のそれぞれの長所を説明します。最初にFET入力アンプを考察し、次にバイポーラ入力アンプを考察します。高速システムでは50Ωケーブルを使用して信号を相互に接続するため、高速アンプは50Ω負荷が駆動できるように設計しなければなりません。

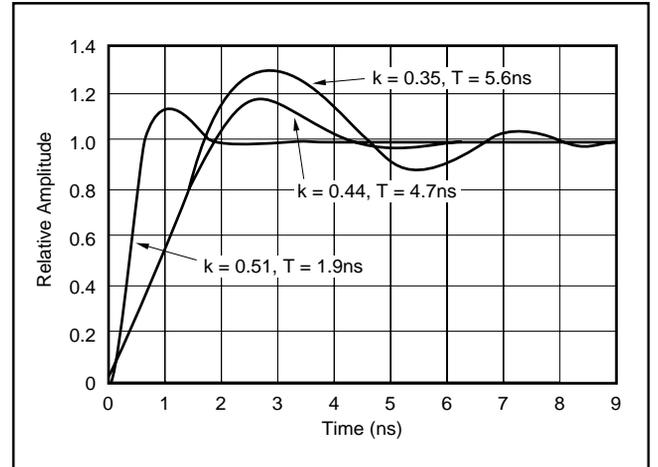


図7. 計算結果

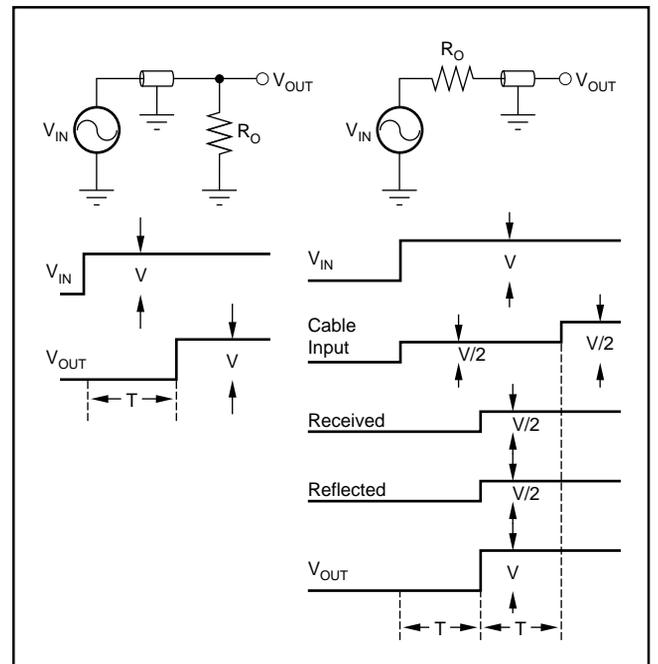


図8. ケーブルのバックマッチング

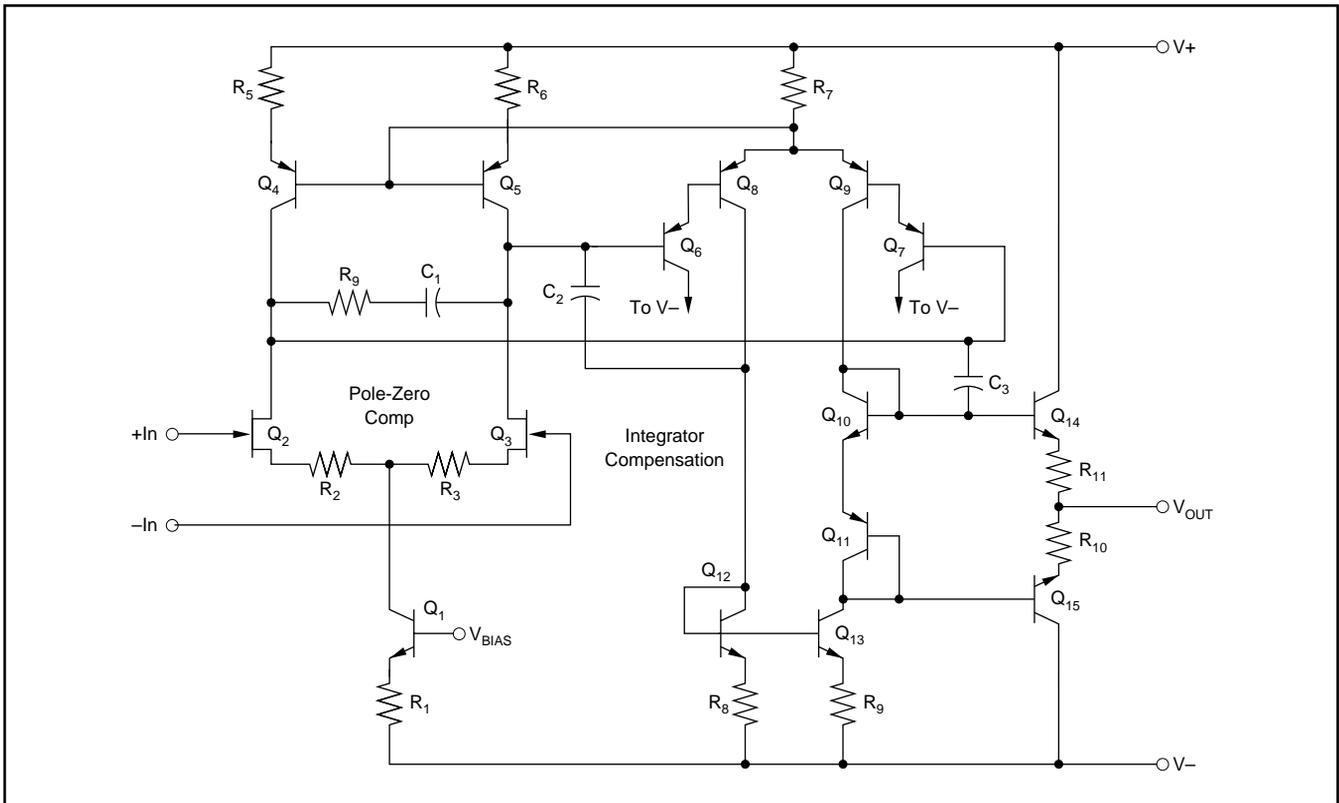


図9. FETオペアンプ

図9に示したクラシックな2ステージ構成のハイブリッドIC型アンプを考察します。このアンプは極 - ゼロ補償と積分帰還補償の両方が使用されています。ハイブリッド・アンプは入出力デバイスのそれぞれに最も適したデバイスを使用することができるため、最も高いダイナミック性能を実現することができます。ハイブリッド技術を用いれば、多くの場合、必要な帯域幅、ブレイクダウン電圧、および電流レベルを組み合わせたことができます。このアンプの性能を詳細に解析し、高速アンプに対する重要な注意点を具体的に考察することは非常に有益なことです。高速アンプは別な方法でも構成できますが、設計に関する重要事項の検討は同じです。FET入力アンプは、その高入力インピーダンスがサンプル/ホールド回路のホールド・コンデンサをバッファする役割を果たすため、極めて重要です。さらに、FETは過負荷状態でバイポーラ入力段より大きな差動入力電圧を許容できます。また、入力電流による誤差が発生しません。

図9に示すアンプの入力段では片側あたり5mAの電流が流れ、25における入力電流は標準で25pAです。一方、同じ大きさの電流で動作するバイポーラ入力段の入力電流は約50μAであり、この電流が帰還抵抗に流れ込んで閉ループ誤差や雑音の新たな要因になる場合があります。入力段の低ゲイン($G=25$)を補償するために、初段と次段の間の接続は差動方式を保つ方が有利です。このタイプの接続を行う場合、入力段の動作点は「同相モード」帰還を使用して設定しなければなりません。FETトランジスタ Q_2 および Q_3 が十分マッチしているとすれば、電流は均等に分岐し、その電流はトランジスタ Q_4 および Q_5 のコレクタから均等に流れます。 Q_4 および Q_5 のベースは一点で接続され、そしてPNPトランジスタ Q_6 および Q_7 のエミッタの共通点に接続に印加されます。したがって、ループのバランスにより、FET Q_2 と Q_3 の電流を正確にバランスさせるための電流 Q_4 と Q_5 に流し込むための電圧が R_5 の両端に発生します。トランジスタ Q_6 および Q_7 は、全体のループ・ゲ

インを増加させるために、エミッタ・フォロワのペアで駆動されます。エミッタ・フォロワ・トランジスタ Q_6 および Q_7 は、入力FETペアのドレインがトランジスタ Q_8 および Q_9 の負担となるのを防止し、初段のゲインを増加させます。次に、トランジスタ Q_8 および Q_9 の差動出力を一方は直接に、他方はトランジスタ Q_{12} および Q_{13} のミラー作用を介して、出力のエミッタ・フォロワに接続します。このアンプの総合DCゲインは94dBあります。出力エミッタ・フォロワを流れる電流は、ダイオード接続されたトランジスタ Q_{10} および Q_{11} のバイアス作用によって設定されます。このアンプのオフセット電圧は1mVより小さくなるように調整され、アンプの電圧オフセット・ドリフト係数は $10\mu V/V$ 以下です。

前述のように、このアンプの開ループ周波数応答の補償方法は2つあります。最初に検討する方法は積分器帰還と呼ばれ、キャパシタが出力段から入力段のドレインに接続されます。この接続は、図10のブロック図に示すように、アンプの出力ゲイン段周辺に積分器を形成するため、積分器補償と呼ばれています。積分器帰還の利点は、閉ループ周波数応答が分母の極しか持たないことであり、これはパラメータの変化に対する過渡応答の変化が少ないことを意味します。後で示すように、もう1つのタイプの周波数補償である「ダブルゼロ」あるいは「極 - ゼロ・キャンセル」は少量のパラメータ変動によっても、過渡応答特性が大きく劣化することがあります。積分器帰還のもう1つの長所は、極 - ゼロ・キャンセルでは入力段に不完全なフィルタが形成されるのに対し、積分器が出力フィルタを形成するため、雑音出力が低くなることです。図11および12に積分器帰還を施した帰還アンプの周波数と時間、または過渡応答との関係を示します。

図13から16に極 - ゼロのミスマッチの影響を示します。極 - ゼロがミスマッチしていると、過渡応答に「テール」と呼ばれる長い時定数を持つセトリング項が形成されます。アンプの安定化に対して、極 - ゼロ補償は積分器帰還ほど有効ではありませんが、積

分器自体が不安定になる場合などには重要な補償方式です。極 - ゼロ補償されたアンプは高スルーレートを得ることができます。

次に検討するアーキテクチャは、フォールデット・カスコード・オペアンプとして知られています。この回路構成は全ての開ループ・ゲインが1段で実現され、ボード線図は最も安定な単一極に近い応答を示すため、高ゲイン帯域幅積が得られます。

図17にこのタイプのアンプの簡略図を示します。このアンプの入力端子は、トランジスタ Q_1 および Q_2 のベースです。トランジスタ Q_1 および Q_2 の出力は、各コレクタから取り出され、ベースが共通になっているPNPトランジスタ Q_4 および Q_5 のエミッタに供給されます。トランジスタ Q_4 および Q_5 はカスコード・デバイスとして機能するため、信号電流をほとんど減衰させずにトランジスタ Q_4 と Q_5 に伝送するとともに、 Q_1 と Q_2 のコレクタのインピーダンスを低くすることができます。

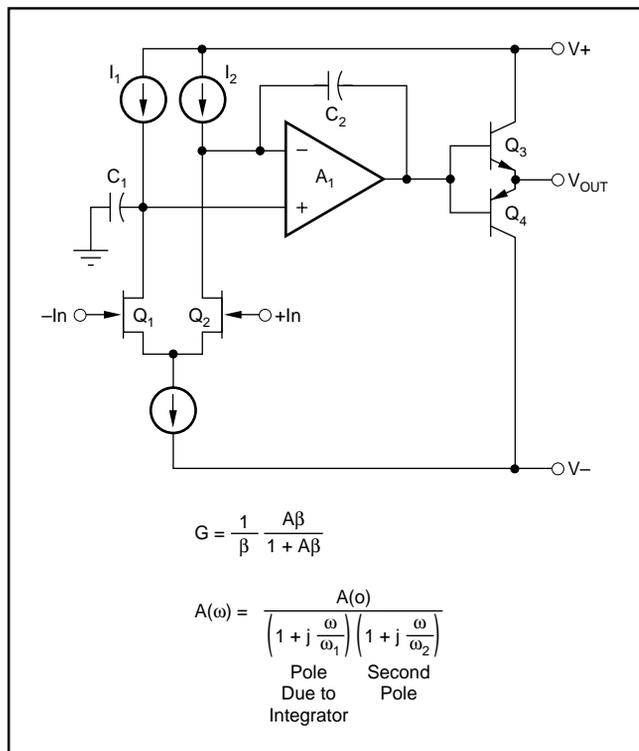


図10. 積分器補償

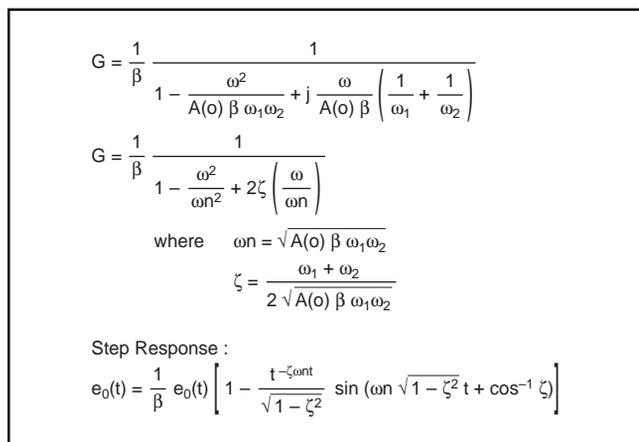


図11. 積分器補償の過度応答

“フォールデット・カスコード”という用語は、PNPトランジスタがカスコード・デバイスとして機能するとともに、信号を負の電源に接続された負荷に“折り返す”ことに由来しています。トランジスタ Q_6 および Q_9 がトランジスタ Q_4 と Q_5 の電流源負荷として機能するため、アンプは単一ステージで最高80のゲインを実現することが可能です。エミッタ・フォロワは、FETオペアンプに対して説明した方法に似た形式で出力負荷を駆動します。このアーキテクチャのもう1つの長所は、アンプを1個のキャパシタで安定させることができるため、セトリング・テールのない単一極応答を実現できることです。

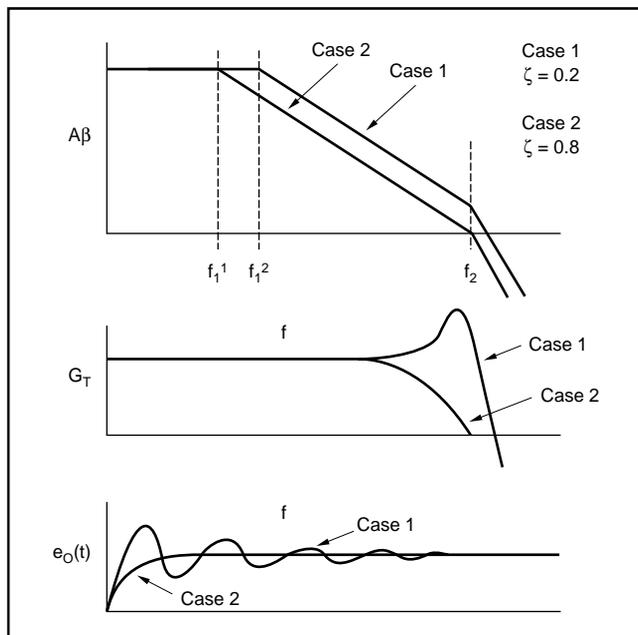


図12. 積分器補償の開ループ・ゲイン、閉ループ・ゲイン、および過渡応答

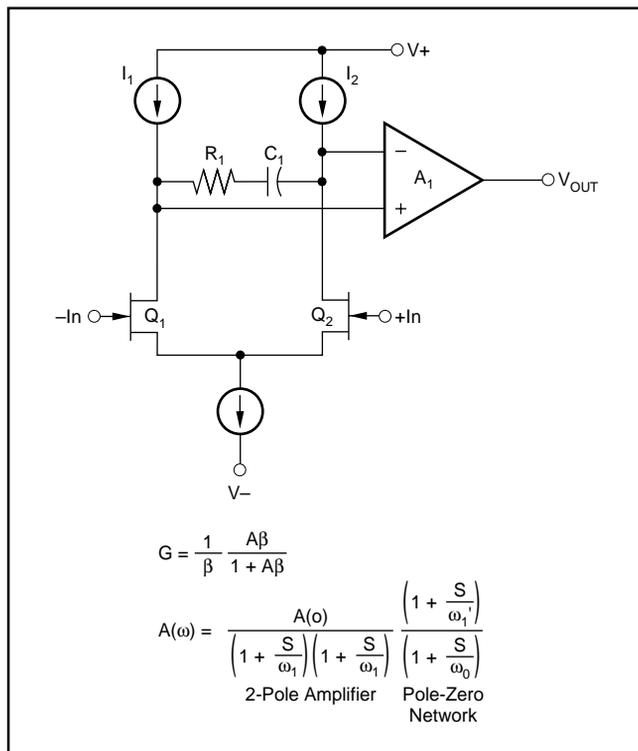


図13. オペアンプにおける極 - ゼロ補償

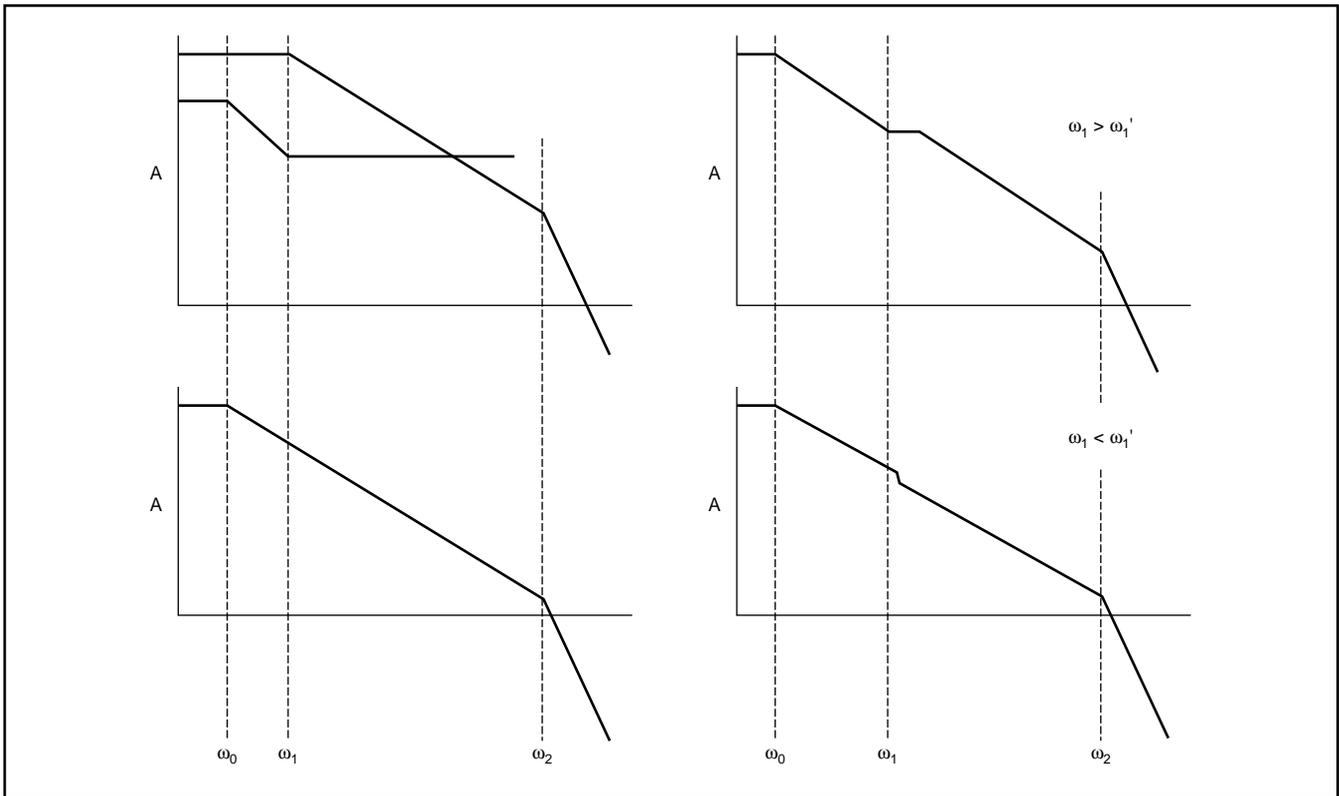


図14. 極 - ゼロ補償のボード線図

$$G = \frac{1}{\beta} \frac{A\beta}{1 + A\beta}$$

$$A(\omega) = \frac{A(0)}{\left(1 + \frac{S}{\omega_1}\right) \left(1 + \frac{S}{\omega_2}\right) \left(1 + \frac{S}{\omega_0}\right)} \left(1 + \frac{S}{\omega_1'}\right)$$

For simplicity assume $A(0) \omega_0 \gg \omega_2$.

$$A(\omega) = \frac{A(0)}{\left(1 + \frac{S}{\omega_1}\right) \left(1 + \frac{S}{\omega_0}\right)} \left(1 + \frac{S}{\omega_1'}\right)$$

If $\omega_1 = \omega_1'$:

$$G = \frac{1}{\beta} \frac{A\beta}{1 + A\beta} \frac{\left(1 + \frac{S}{\omega_1'}\right)}{\left(1 + \frac{S}{\omega_1'}\right) \left(1 + \frac{S}{(1 + A\beta)\omega_0}\right)}$$

Step Response:

$$\frac{e_{OUT}}{e_{IN}}(t) = \frac{1}{\beta} \frac{A\beta}{1 + A\beta} \left[1 - \frac{\omega_1' - \omega_1}{\omega_1} e^{-\omega_1 t} - e^{-(1 + A\beta)\omega_0 t} \right]$$

図15. 極 - ゼロ補償の過渡応答

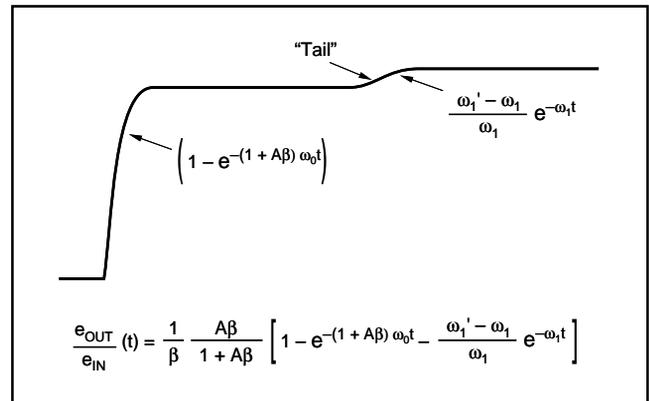


図16. 極 - ゼロ補償の過渡応答および極 - ゼロ・ミスマッチ

高ゲイン・アンプをコンパレータとして使用する場合、多くの低ゲイン段をカスコード接続して高ゲイン帯域幅積を実現します。20nsコンパレータの簡略図を図18に示します。これは広帯域オペアンプを設計する方法とは大いに異なります。広帯域オペアンプを設計する場合は、単一ステージで高ゲインを実現し、過大な位相シフトが発生するのを防止する必要があります。オペアンプの周囲には帰還が施されるため、単一極応答に近い位相特性を実現することが重要です。一般にコンパレータは、広い帯域幅と短い伝搬遅延が重要であり、コンパレータの位相シフトは重要ではありません。開ループ・アンプとコンパレータの設計は類似しています。主な違いはコンパレータが必ずしも安定した、またはリニアなゲイン特性を持つ必要がなく、その出力がTTLまたはECLなどのロジックとコンパチブルとなるように設計されていることです。

コンパレータはリニア開ループ・アンプと違い、信号入力が入力リファレンスを越えるかどうかによって、出力がどちらかの口

コンパレータ

コンパレータは信号処理システムに共通した要素であり、あるレベルを検出して '1' または '0' のデジタル信号を発生させます。コンパレータは高ゲイン・アンプを使用する方法と、ラッチを利用する方式の2つの方式で実現することができます。各タイプのコンパレータはこれから説明するように、それぞれの長所を持っています。

ジックのレベルに飽和するノン・リニア・モードで動作するように設計されています。さらに、中間段が優れた過負荷回復特性を持ち、伝搬遅延が最小限となるように注意して設計する必要があります。適切に設計されたコンパレータは飽和を避け、信号の段間結合にエミッタ・フォロワを使用して中間段の最大帯域幅を維持するという意味では、ECLロジック段とほとんど同じ方法で設計されます。

コンパレータの発振問題は、ラッチング・コンパレータを使用すると解決できますが、これら2つのアーキテクチャは、“熱”によるオフセットの影響を受けやすくなります。この熱によるオフセットは、入力差動アンプがオンまたはオフに切り替わる時に、作動ペアの消費電力に差が生じることにより発生します。この影響を無くすためには入力差動アンプの消費電力を、最小限に抑える必要があります。その限界は入力帯域幅およびスルーレート条件によって決定されます。図19に熱によってコンパレータ内に発生するオフセットの大きさの計算例を示します。この計算では、コンパレータのオフセットは最初に0.1mVになり、その後システムの熱時定数で決まる速度でバランスすることが示されています。

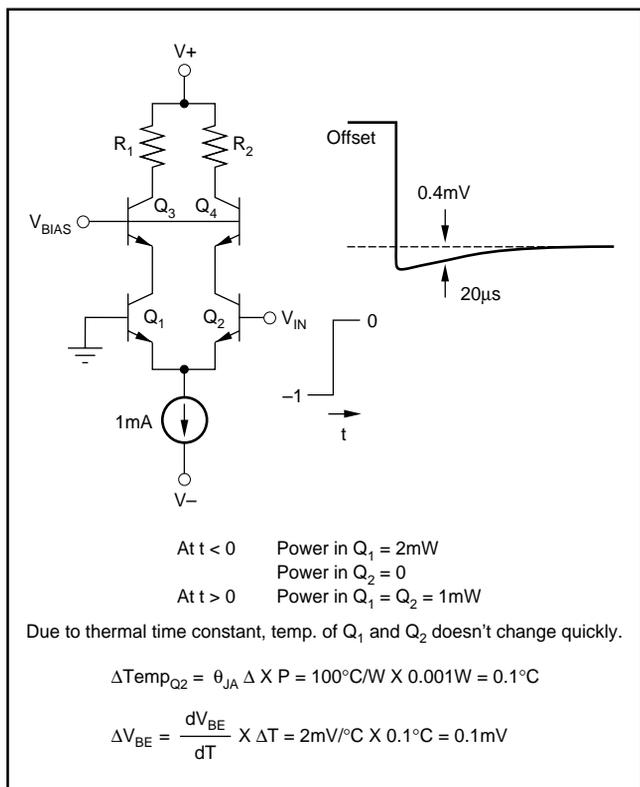


図19. サーマル・オフセット

システムの熱時定数は10μsから100μs程度であり、トランジスタの物理的サイズやトランジスタ・ダイのヘッダへの取り付け方法などの要因により変化します。熱により発生するオフセットは、高速高精度システムでは深刻な問題になる場合があり、性能を限定する要素となることがあります。

非ラッチ型コンパレータの精度を制限するもう1つの要素は発振しやすいことです。コンパレータの発振は一般に、出力信号がコンパレータ入力に容量結合する寄生帰還によって起こります。この問題はディスクリート回路では、高感度性と短い伝搬遅延を維持する限り解決が困難です。コンパレータのパッケージ・ピン

間の寄生帰還で、発振が十分に起こり得ることを図20および21に示します。コンパレータの発振はハイブリッドICでも深刻な問題です。コンパレータをモノリシック・チップに集積するとプレーナ特性によって寄生容量が減少するため、問題を解決するのに有利です。

前述のとおり、使用されるもう1つのタイプのコンパレータは、“ラッチング・タイプ”として知られています。図22にこのタイプのコンパレータのフロント・エンドの簡略図を示します。

ラッチング・コンパレータはラッチ・イネーブル信号でストロブされると、再生状態となって高ゲインになります。一般に、コンパレータがトラッキングモードになると、入力ペア Q_1 および Q_2 はそのゲインが最低でも10になります。ラッチングの瞬間に入力リニア・ペアが入力ラッチング・ペア Q_3 、 Q_4 に切り替わります。したがって、ラッチの状態は Q_1 および Q_2 のベース入力信号の関係によって決定されます。ラッチング・ペアは、エミッタ・フォロワ Q_7 および Q_8 を介して帰還を受けます。エミッタ・フォロワもそれに対応するロジック・レベルを供給します。コンパレータがラッチ状態に保持されると、コンパレータが永久的に前の状態に保持されるため、発振状態になることは不可能です。コンパレータが短時間低ゲイン状態におかれても、下記の状態となるため発振傾向が低下します。

- 1) ループ・ゲインが極めて低く発振が維持できない。
- 2) ストロブ時間が短いため寄生発振が始まらず、ラッチは前の状態を持続する。

フラッシュ型コンパレータは最も速いアナログ/デジタル・コンパレータで、量子化レベルに対応する個々のラッチ・コンパレータで構成されています。ラッチング・コンパレータは構造が簡単で、必要な大きさの集積化が可能のため、フラッシュ型コンパレータは他の技術では実用化されていません。フラッシュ型コンパレータに関する詳細は後に説明します。GaAsは極めて高速でラッチング・コンパレータを構成するのに最適な技術です。

B. アンプのアプリケーション トラック/ホールド

データ変換システムの最も重要な要素の1つはトラック/ホールドです。トラック/ホールドとサンプル/ホールドは非常に類似しており、実際の使用目的は同じです。トラック/ホールドあるいはサンプル/ホールド・コマンドがDC結合されているときは、2つのタイプのサンプリングは同一になります。あるタイプの高速度サンプリングではサンプル・コマンドがAC結合され、信号は短期間“サンプル”され、次にホールドされます。それ故に“サンプル/ホールド”という名前が付けられています。多くのトラック/ホールド・アーキテクチャを説明する前に、なぜ一般的にトラック/ホールドがアナログ/デジタル・コンパレータの前段に設置されるかを説明します。

トラック/ホールドは、サンプリング・システムのアパーチャ時間を低減するために使用します(サンプリング・システムには、トラック/ホールドとアナログ/デジタル・コンパレータが含まれています)。一般に変換中は誤差を防ぐため、アナログ/デジタル・コンパレータの入力信号を一定レベルに保つ必要があります。

逐次比較型ADCは、変換にNステップ・アルゴリズムを使用するため、変換処理中に信号が変化すると誤った近似が行われる場合があります。フラッシュ型コンパレータでも、すべてのコンパレータの時間遅延は等しくないため、トラック/ホールドを使用

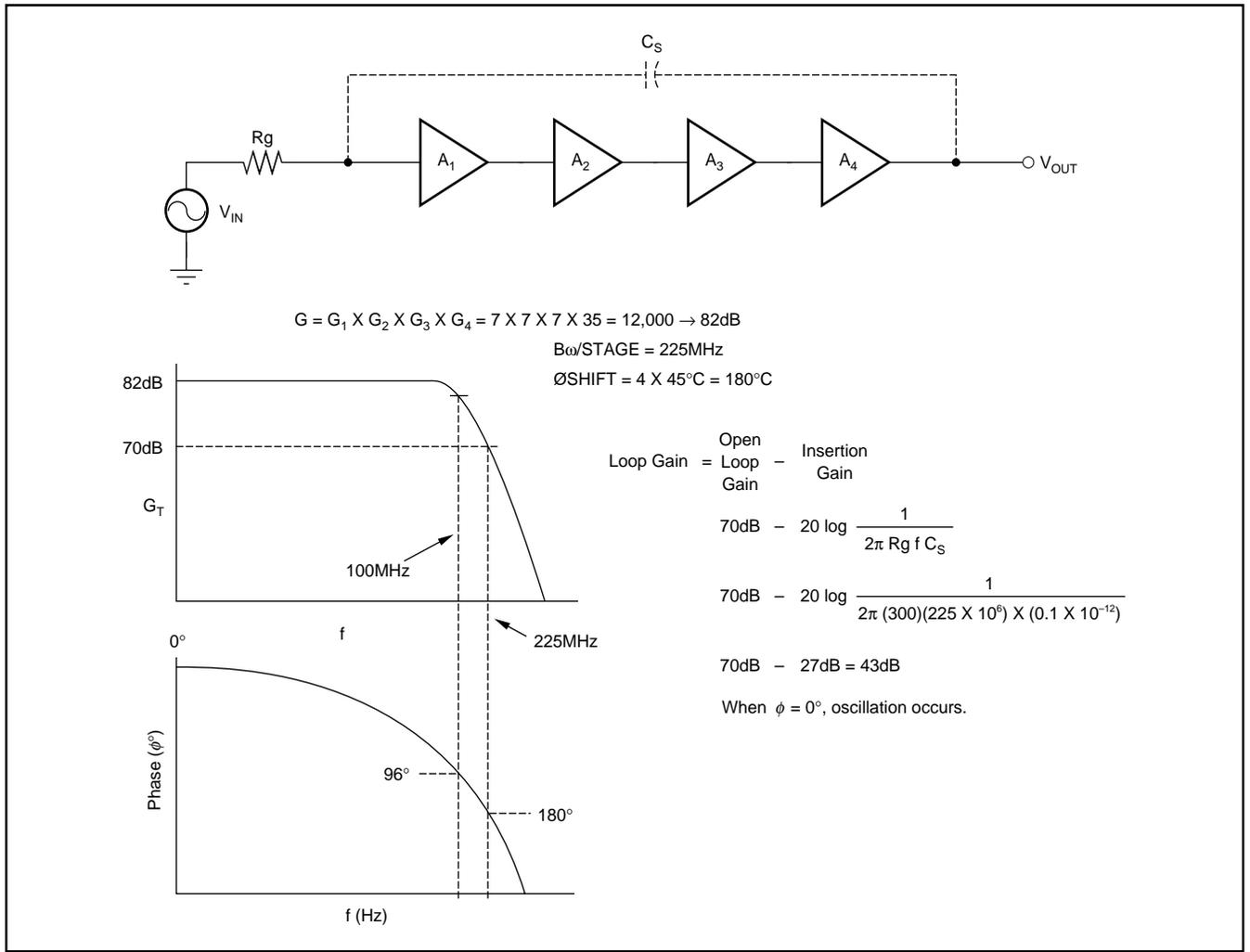


図20. コンパレータの発振

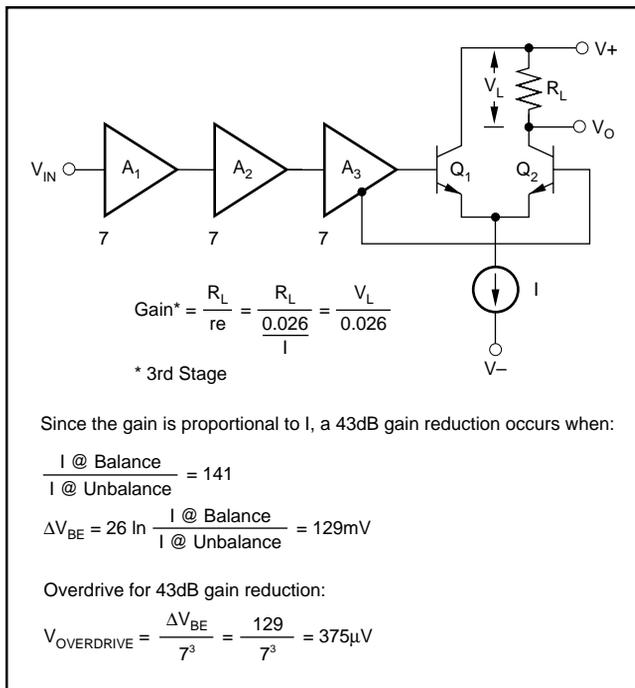


図21. コンパレータ発振を停止させるためのゲイン低減

すると変換精度が向上します。トラック/ホールドを前後に使用する場合と、しない場合の最大入力周波数の比較を図23に示します。図23は変換時間1μsのADCで処理できる最大周波数が、わずか38.9Hzであることを示しています。サンプル/ホールドを使用した場合は最大周波数が500kHzのナイキスト周波数まで増加します。さらに、アプリケーションではトラック/ホールドによるDACの「デグリッチ」法とピーク検出器の構成法を示します。トラック/ホールドの多くのアーキテクチャを、それぞれの長所や短所を検討しながら解説します。検討では、特定のアプリケーションの設計において、性能を最適化するためにはサンプル/ホールドの、どの特性が関係するかを示します。これは複雑さの度合いを理解する有効な手段にもなります。各種タイプのアーキテクチャの比較を行う前に、図24にトラック/ホールドの帯域幅の計算方法を、また図25に周波数応答のプロットを示します。

説明のため、図26に最も基本的なトラック/ホールドを示します。FETスイッチはコンデンサに接続され、コンデンサは高入力インピーダンス・バッファによって出力から絶縁されています。エンハンスメント・モードのNチャンネルFETのゲートに接続されたサンプリング信号が「H」状態になると、FETの直列抵抗は最も低い状態になり、その抵抗は R_{ON} で表されます。この状態では、バッファ出力は R_{ON} およびホールディング・キャパシタCのローパスフィルタで処理された入力信号になります。ホールディング・キャパシタ両端の電圧はゲート信号が「L」状態になり、FETがターンオフするまで入力電圧に追従します。その時点では、

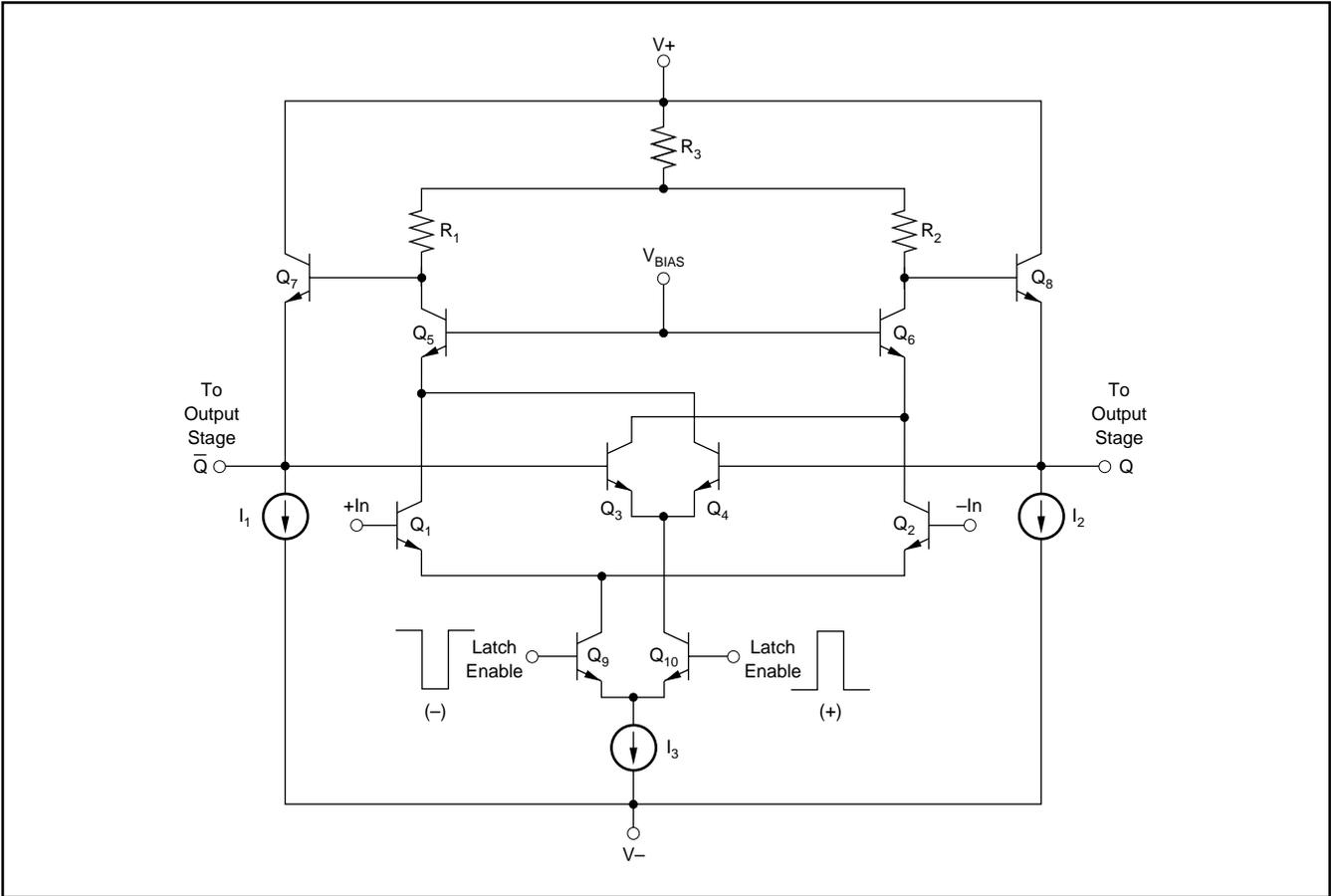


図22. ラッチ・コンパレータのフロント・エンド

$$e(t) = \frac{EFS}{2} \sin 2\pi ft$$

EFS = Full Scale ADC Range

$$\frac{de(t)}{dt} = f EFS \pi \cos 2\pi ft, \quad \frac{de(t)}{dt} = f EFS \pi$$

$$f = \frac{\frac{de(t)}{dt}}{EFS \pi}$$

Assume maximum allowable change during ADC conversion time.
 $T = 1/2LSB$ and $EFS = 2^N LSB$ where N is the number of bit ADC.

$$f = \frac{1/2LSB}{T 2^N LSB \pi} = \frac{1}{\pi 2^{(N+1)} T}$$

As an example, let $N = 12$ and $T = 1\mu s$:

$$f_{MAX} = \frac{1/2LSB}{T 2^N LSB \pi} = 38.9Hz$$

With a sample/hold, the maximum frequency would be 500kHz.

図23. サンプル/ホールドを使用しない場合のADCに入力可能な最大入力周波数

$$E_O(f) = \int_0^T V e^{j2\pi f t} dt = \frac{V}{j2\pi f} (e^{j2\pi f T} - 1)$$

$$= \frac{V}{\pi f} \frac{e^{j2\pi f T} - 1}{2j} = \frac{V e^{j\pi f T}}{\pi f} \frac{(e^{j\pi f T} - e^{-j\pi f T})}{2j}$$

$$= \frac{V e^{j\pi f T}}{\pi f} \sin \pi f T$$

$$\frac{E_O(f)}{E_O(0)} = e^{j\pi f T} \frac{\sin \pi f T}{\pi f T} = \left(e^{j\pi(f/f_s)T} \right) \left(\frac{\sin \pi \frac{f}{f_s}}{\frac{\pi f}{f_s}} \right)$$

Magnitude: $\frac{\sin \pi \frac{f}{f_s}}{\frac{\pi f}{f_s}}$

Phase: $\pi \frac{f}{f_s} T$

図24. トラック/ホールドの帯域幅

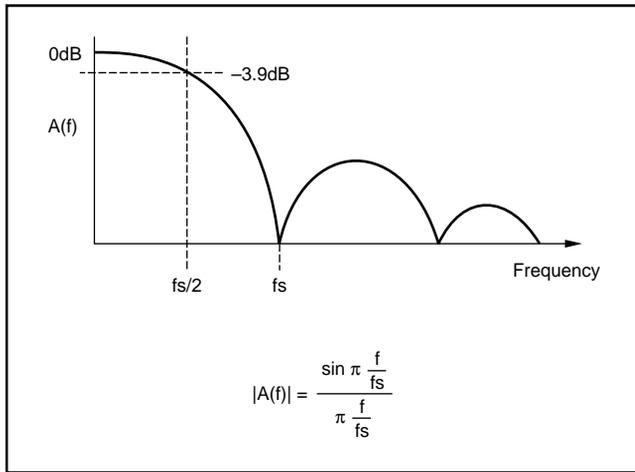


図25. サンプル/ホールドの周波数応答

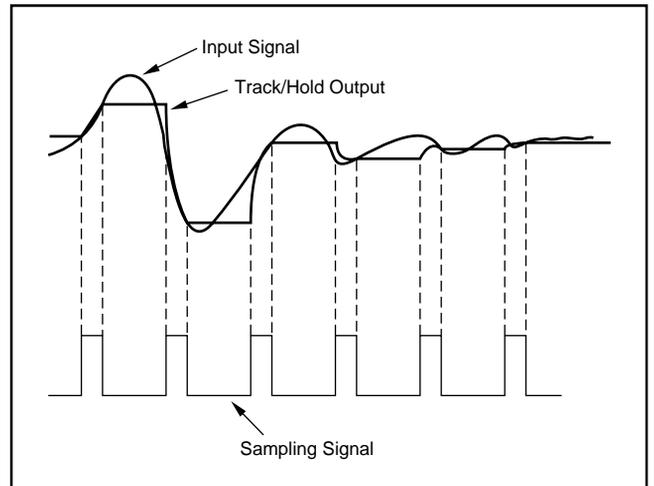


図27. トラック/ホールドの波形

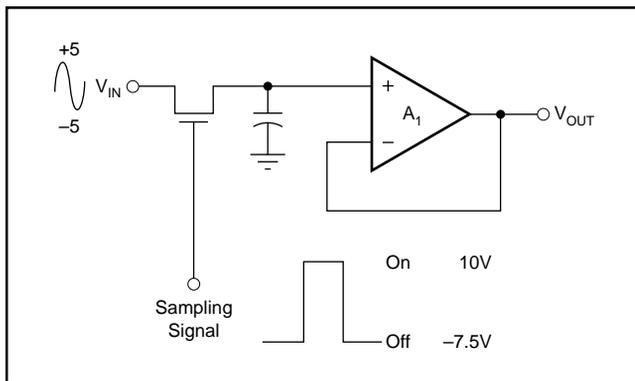


図26. 基本サンプル/ホールド

ホールディング・キャパシタはサンプリングを行ったときの入力電圧を保持します。図27にトラック/ホールドのダイナミック特性を表す波形を示します。トラック/ホールドがアナログ/デジタル・コンバータを駆動している場合、保持された電圧は、つぎに対応するデジタル値に変換されます。この回路の能力はかなり制限されています。この回路がどの程度の能力を持っているかを、具体的な設計例を用いて調査します。この具体的な設計例では標準的なNチャンネルのDMOS FETを、電圧フォロワとなるように接続したFETオペアンプと共に使用します。FETは以下の特性を備えています。

1. $R_{ON} = 50\Omega$
2. $V_T = 2.5V$
3. $C_{GD} = 0.5pF$
4. $C_{DS} = 0.1pF$
5. $I_{DSS} = 25mA$
6. $I_{OFF} = 50pA$

この設計例では、入力信号の範囲は10Vp-pであり、全誤差に対する各誤差源は V_{IN} の $\pm 0.01\%$ まで許容できるものとします。

特殊なアプリケーションでは、それぞれの誤差源の数値は別々に指定できます。検討する誤差源は以下のとおりです。

1. 電荷によるオフセット誤差
2. アパーチャ非直線性
3. 信号のフィードスルー
4. アパーチャ・ジッタ
5. アパーチャ遅延

6. ドループ

7. アクイジションタイム

8. トラックからホールドまでのセtringタイム

9. フルパワー帯域幅

電荷によるオフセットおよびペDESTAL誤差

FETを低抵抗となるように確実にターンオンさせるには、ピーク入力信号より5V高くする必要があります。したがって、FETのゲートに印加する電圧は以下のとおりです。

$$V_{ON} + V_{PEAK} = 5 + 5 = 10V$$

FETを確実にターンオフさせるには、FETを最悪条件においても逆バイアスする必要があります。サンプル/ホールドが処理しなければならない最小電圧は $-5V$ であり、これらの条件でゲート・ソース間を逆バイアスすることが必要です。したがって、FETのゲートに印加されるオフ信号は $-7.5V$ になります。図26を参照して下さい。FETのゲートに印加される全信号振幅は17.5V、すなわちオンおよびオフ信号の和になります。図28にゲート・ドレイン間容量 C_{GD} およびホールド・コンデンサ C により電圧デバイダが構成されることを示します。

この電圧デバイダ的作用により電荷によるオフセット誤差が発生し、その値は下記の式によって与えられます。

$$V_{OFFSET} = V_{GATE} \left(\frac{C_{GD}}{C + C_{GD}} \right)$$

したがって、電荷によるオフ誤差を下記の値に抑えるには、

$$0.01\% \times 10 = 1mV$$

ホールド・コンデンサの値を下記の値にする必要があります。

$$C = \frac{C_{GD} \cdot V_{GATE} - C_{GD} \cdot V_{OFFSET}}{V_{OFF}}$$

$$C = \frac{0.5pF \cdot 17.5V - 0.5pF \cdot 1mV}{1mV} = 8.75nF$$

さて、ホールド・コンデンサの値($C_H = C$)が決まるので、トラック・ホールドの帯域幅は以下のとおりになります(図29参照)。

$$BW = 1/2\pi (R_{ON})(C_H) = 1/2\pi (50)(9 \times 10^{-9})$$

$$= 354kHz$$

アパーチャによる非直線性

電荷によるオフセット誤差に関する前述の検討では、ゲートのターンオフ信号は常に17.5Vであるものとした。入力信号がそのピーク値である5Vでサンプルされ、FETスレシールド電圧が

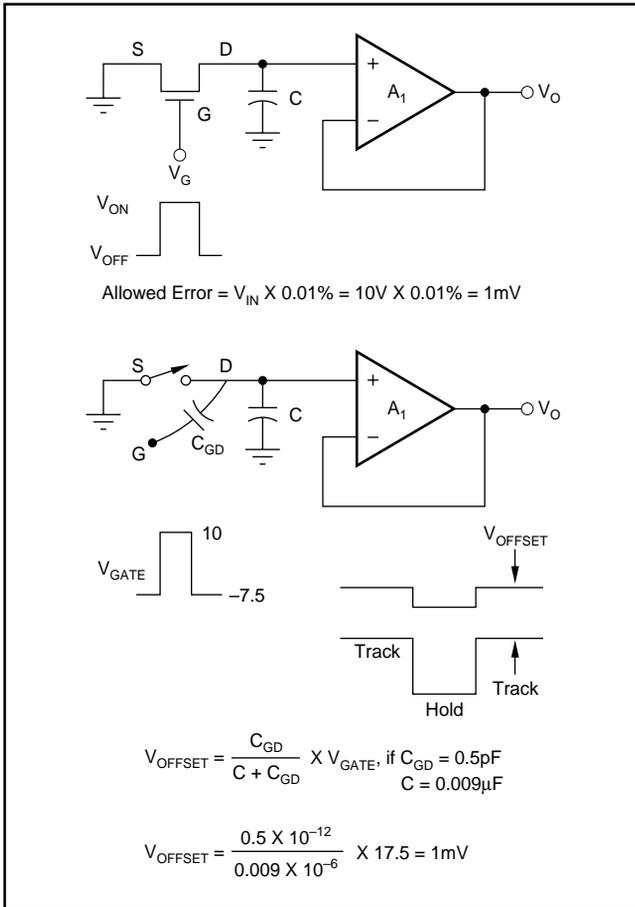


図28. 電荷による誤差

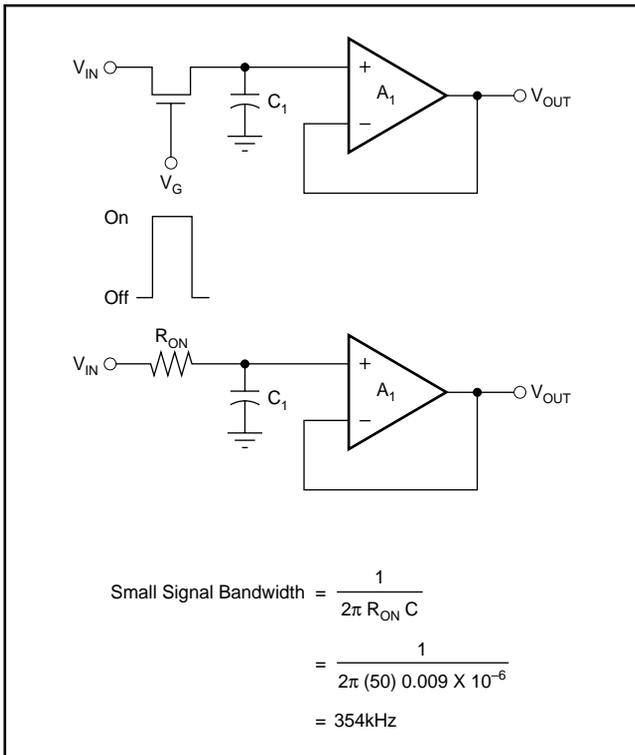


図29. サンプリング/ホールドの周波数応答

2.5Vとすると、FETはゲート電圧が7.5Vのときに導通を停止します。有効なゲート信号振幅は15Vに低下し、電荷によるオフセットの大きさも低下します。

同様に、サンプルされている入力信号が-5Vの最小レベルのときは、有効ゲート振幅は5Vになります。前章ではゲートの振幅が17.5Vのとき、電荷によるオフセットは1mVと計算されました。図30を参照して下さい。実際の電荷によるオフセットは信号によって変化し、正の先端の0.83mVから負の先端の0.28mVまで変化します。これらのオフセット誤差は許容誤差より小さいため、これが問題となることはありません。しかし、ホールド・コンデンサは相対的に大きくなります。後にわかるように、広帯域動作が要求される場合は、このようにはいきません。この影響はそれが深刻な誤差源となる広帯域設計の章で再び検討します。

信号のフィードスルー

信号のフィードスルーは、FETのドレインからソースに接続されるコンデンサが存在するために起こります。これはレイアウトまたは別の寄生効果による寄生コンデンサです。図31を参照すると、入力信号がホールド・コンデンサと結合し、その電圧が次式で表されることがわかります。

$$V_{FEEDTHROUGH} = (C_{DS}/C_H)(V_{IN}) = (0.1pF/0.009\mu F)(10) = 111\mu Vp-p$$

これは許容できる誤差です。しかし、広帯域設計においては、小容量のホールド・コンデンサが要求されるため、この仕様も適合することが困難になります。

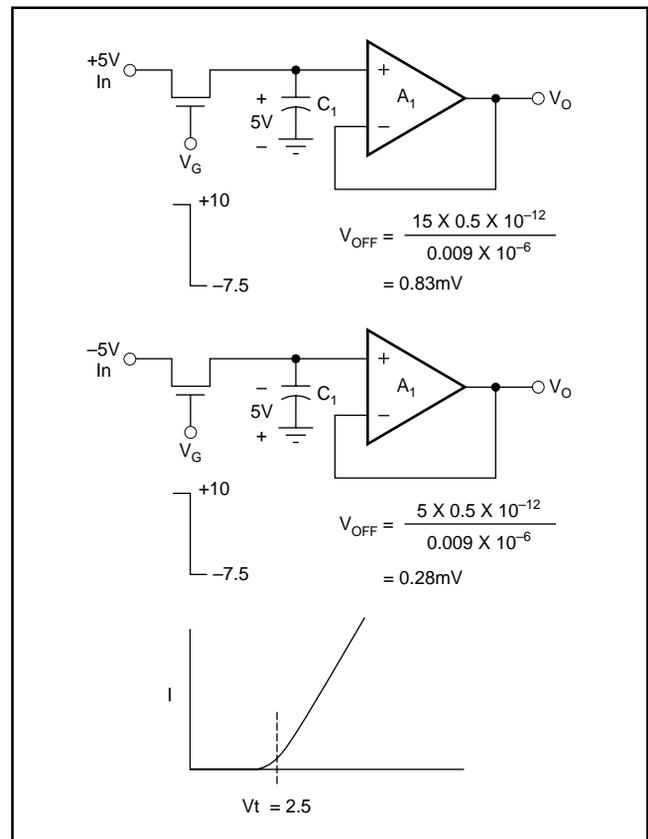


図30. FETスレシールド特性とアパーチャ非直線性

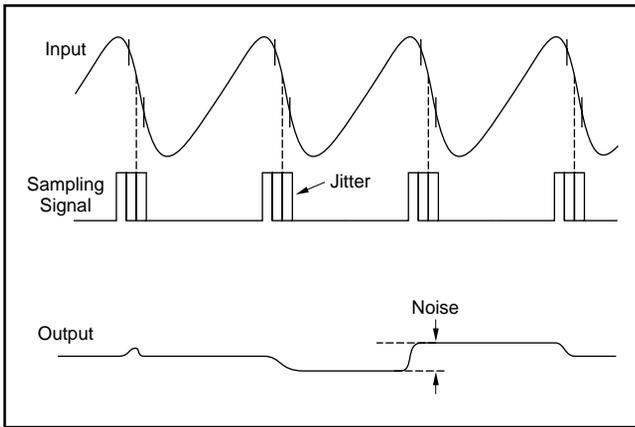


図34. アパーチャによる雑音

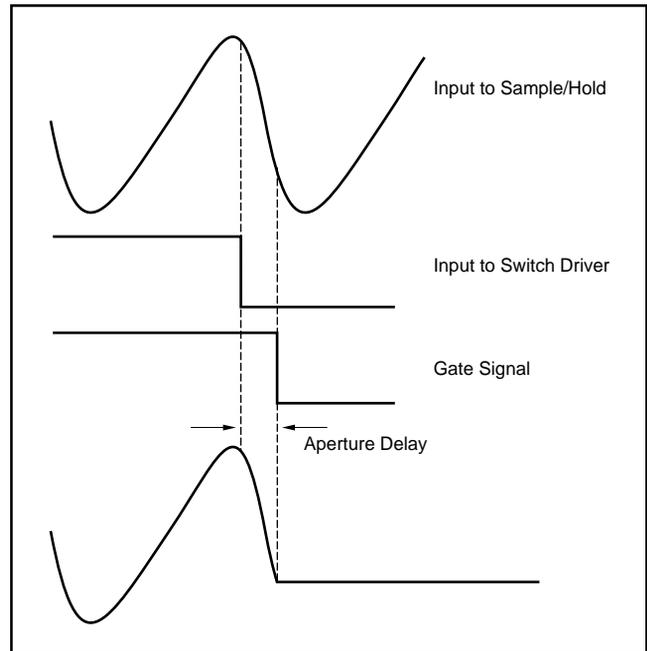


図36. アパーチャ遅延

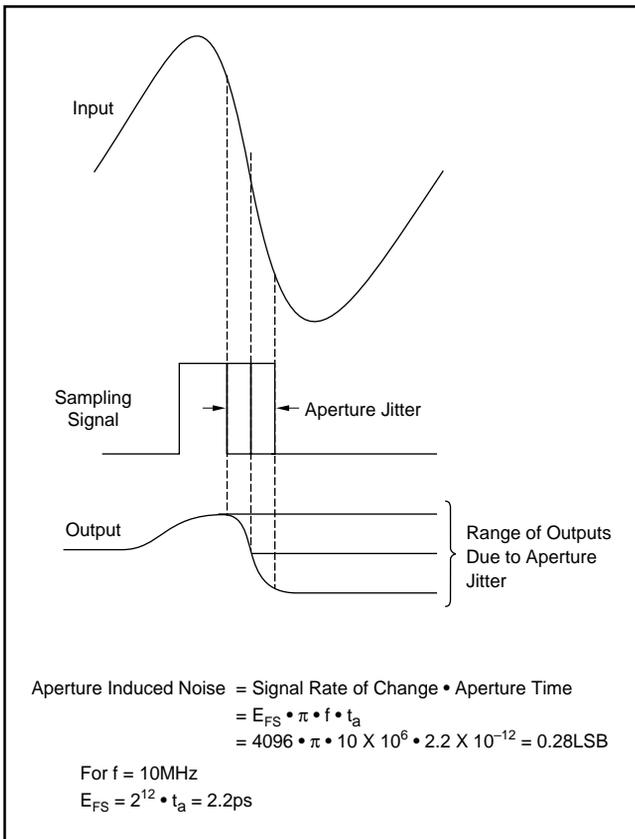


図35. アパーチャによる雑音

アパーチャ遅延

アパーチャ遅延はサンプルからホールドへのコマンドが起動されてから、ホールド・モードにスイッチが開放されるまでの経過時間です。図36を参照して下さい。マルチチャンネルの動作を互いにマッチングさせる必要があるときは、アパーチャ遅延を制御することが大切です。

図37にTTLコンパチブルでサンプル・スイッチの駆動に適したFETドライバ回路の回路図を示します。

ドループ

サンプル/ホールドがホールド・モードの場合、FETを流れるリーク電流やオペアンプの入力バイアス電流がホールド・コンデンサを放電(または充電)します。2つの電流源は25 ではともに約50pAです。したがって、コンデンサは下記の速度で変化します(図38参照)。

$$I/C = 100\text{pA} / 0.009\mu\text{F} = 0.011\text{V/s}$$

サンプル/ホールドが10 μs の変換時間を持つADCを駆動する場合、保持される値は変換処理の過程では0.11 μV 変化します。各電流源に許容される誤差は1mVであるため、これが室温で誤差源になることはありません。動作温度が125 まで上昇する場合、リーク電流は10 上昇するごとに2倍になるため、変換中のドループによる電圧変化は0.11mVに増加しますが、それでも許容値より低い値です。小容量のホールド・コンデンサを使用する広帯域設計はこの仕様に容易に適合できないため、ドループを許容レベルに低減できる別の方法を示します。

アキュイジションタイム

サンプル/ホールドのアキュイジションタイムの計算は、オペアンプでセトリングタイムを決める方法と同じです(実際には同じ現象だからです)。サンプル/ホールドは出力がリニア動体範囲にある限り、大きな信号変化率に対しても追従します。

V_{IN} がFETをピンチオフするほど大きい場合、サンプル・スイッチのスルーレートは下記の式で与えられます(図39参照)。

$$\text{スルーレート} = I_{DSS}/C_H = 25\text{mA}/0.009\mu\text{F} = 2.8\text{V}/\mu\text{s}$$

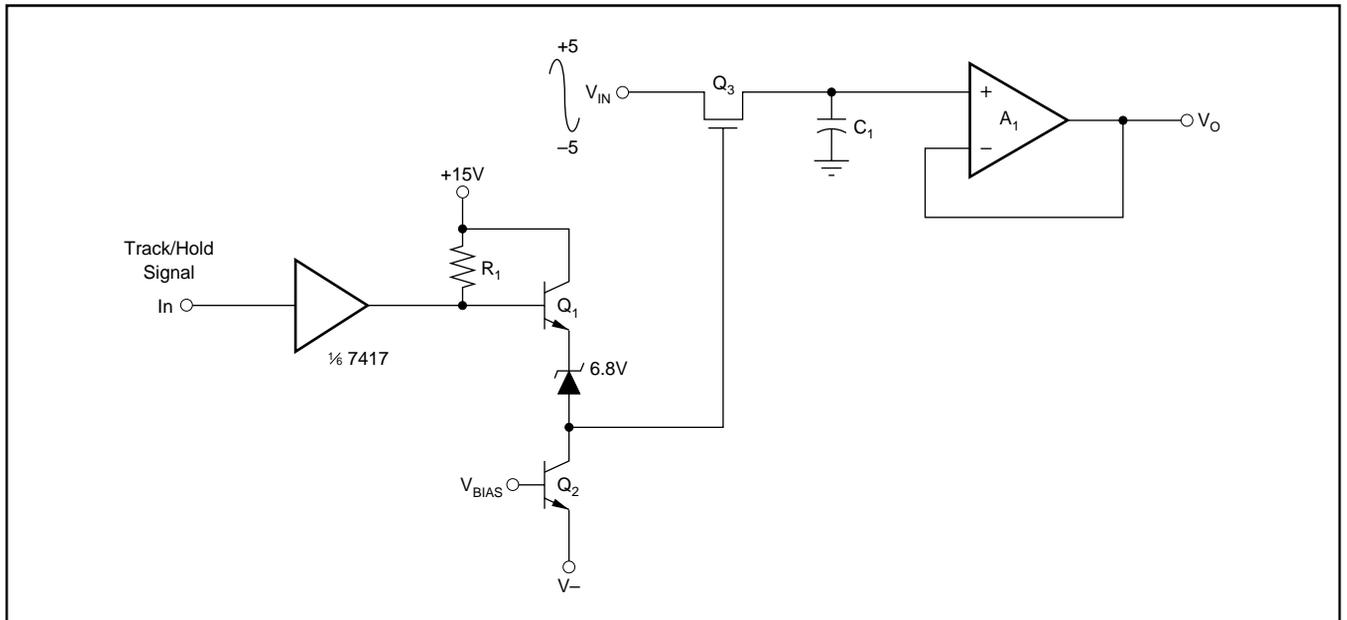


図37. FETスイッチ・ドライバ

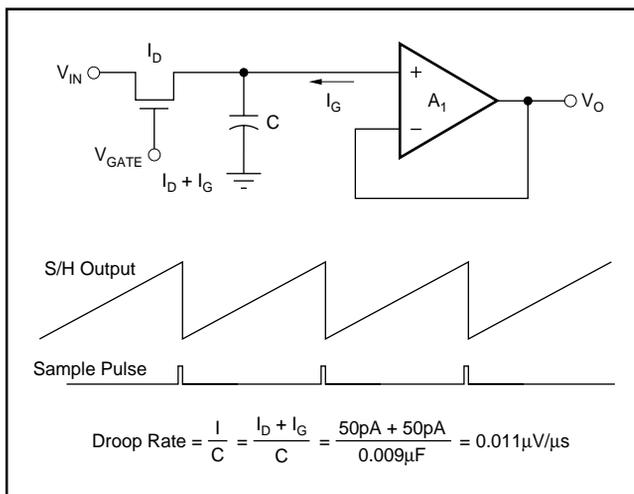


図38. ドループ

サンプル/ホールドは、出力電圧の振幅がリニア動作範囲内にある限り、入力信号の変化にスルーイングします(図40参照)。

$$V = (R_{ON})(I_{DSS}) = 1.25\text{V}$$

入力が10V変化する場合、サンプル/ホールド出力は最終値である10V - 1.25V = 8.75Vまでスルーイングし、その間に(8.75V) / (2.8V - μs) = 3.1μsが経過します。アキュジションタイムは、残りの1.25Vが最終値から±1mVの範囲内に安定するまでの時間となります。単一極の特性でセトリングすると仮定すると、セトリングのリニア部分は下記の式で与えられます(図41参照)。

$$V = V(1 - e^{-(t/R_{ON} \cdot C_H)})$$

tについて整理すると：

$$t = (R_{ON})(C_H) \ln(V/0.001)$$

$$t = (0.45\mu\text{s}) \ln(1.25/0.001) = 3.2\mu\text{s}$$

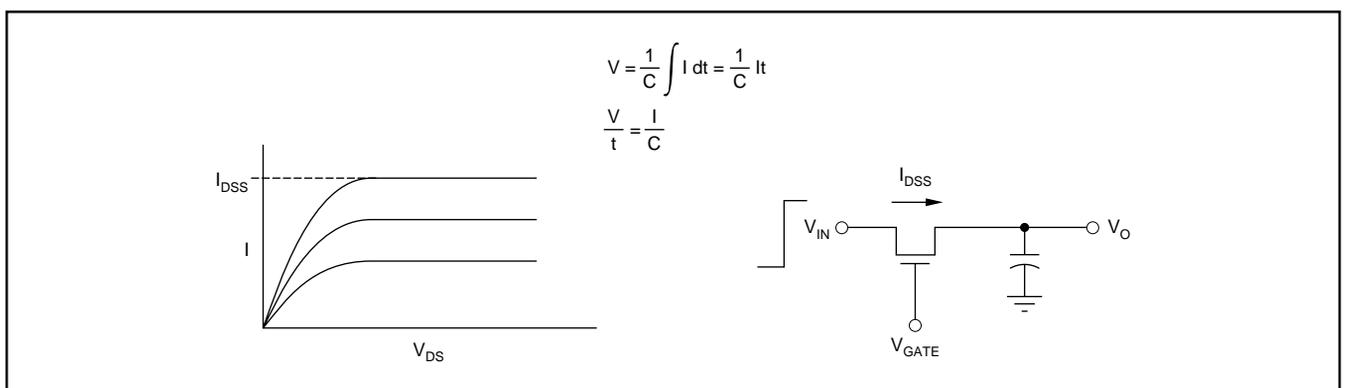


図39. 一定電流で充電されるコンデンサ

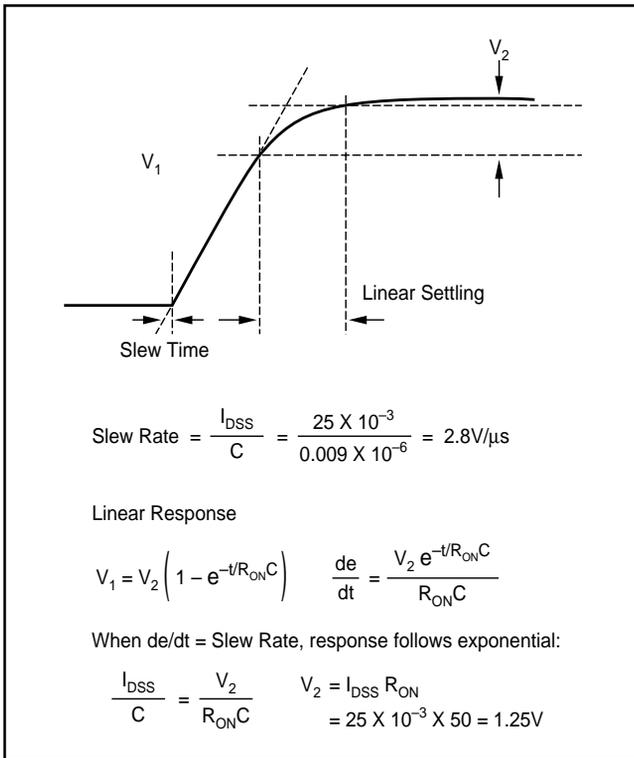


図40. アクイジションタイム

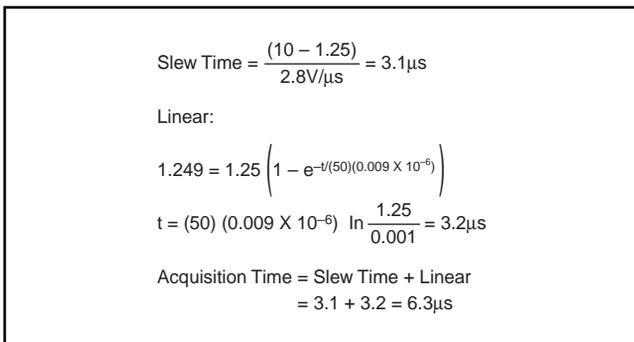


図41. アクイジションタイム

したがって、サンプル/ホールドのアクイジションタイムはスルーイング時に経過する時間と、リニア・セトリング時に経過する時間の和になり、次式で表されます。

$$\text{アクイジションタイム} = 3.1\mu\text{s} + 3.2\mu\text{s} = 6.3\mu\text{s}$$

ホールド・コンデンサを駆動するバッファまたはオペアンプのセトリングタイムは、上記の6.3μsよりはるかに小さくなります。事実、1μsより小さなセトリングタイムを持つモノリシックFETアンプを入手することは可能であり、アクイジションタイムは上記の値よりおよそ3%ほど増加するだけです。

トラックからホールドまでのセトリング

トラックからホールドまでのセトリングタイムは、サンプル/ホールドがホールド・コンデンサと結合したゲート・トランジエントから回復するのに要する時間と、ホールド・コンデンサと出力を分離するバッファのセトリングタイムの合計になります。ここで検討しているサンプル/ホールドでは、容量の十分大きなホールド・コンデンサを使用しているため、サンプルからホールドまでのセトリングは重要な要素にはなりません。

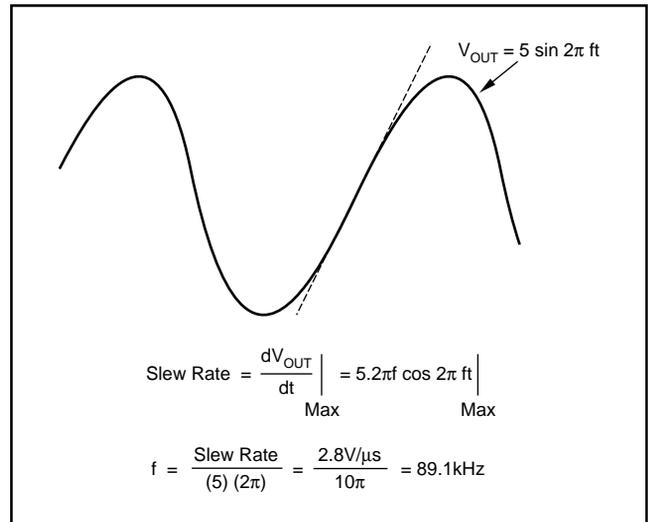


図42. フルパワー帯域幅

フルパワー帯域幅

サンプル/ホールドのフルパワー帯域幅は、オペアンプと同じ方法で計算されます。

フルパワー帯域幅を知ることは、低歪を維持するために重要です。設計例では以下の式が成り立ちます(図42参照)。

$$V_{OUT} = (5) \sin(2\pi ft) \text{ and } dV_{OUT}/dt = \text{最大スルーレート} = 10(\pi)f$$

フルパワー帯域幅について整理すると：

$$\text{フルパワー帯域幅} = (\text{スルーレート}) / 10(\pi) = 89.1\text{kHz}$$

上記の例は、最も単純なタイプのトラック/ホールドの設計方法を表しています。単純であってもフルパワー帯域幅は89.1kHzであるため、オーディオ信号の処理には有益です。10μsの変換時間のADCを駆動する6.2μsのアクイジションタイムを備えたサンプル/ホールドは、オーディオ信号の処理には十分なサンプリング速度を持っています。この回路の設計は比較的簡単ですが、帯域幅が制限されます。

さらに、数種のトラック/ホールドの設計例を示します。これらは直線性を大幅に犠牲にすることなく、帯域幅を大幅に拡大することができます。

次の回路例では、サンプル/ホールドのアクイジションタイムを300nsに下げることが目標とします。これは前述のサンプル/ホールドと比較して、約1/20倍になります。アクイジションタイムを6.3μsから300nsに下げするためには、前述のサンプル/ホールドにおいてホールド・コンデンサを1/20の容量にする必要があり、直線性とドループが同じ比率で劣化します。設計の目標は±0.01%の直線性を達成することなのでいずれも望ましくありません。優れた直線性を維持しながら、高速動作の行えるサンプル/ホールドの簡略回路図を図43に示します。図43に示したトラック/ホールドは、特性のマッチしたFET Q₁およびQ₂をバランス接続しているため高速動作が可能です。このトラック/ホールドがトラック・モードからホールド・モードに移行する時、各FETのゲート・ドレイン間容量とホールド・コンデンサが差動的に接続されるため、電荷によるオフセット、すなわちベデスタル誤差が除去されます。図44その動作を示します。したがって、この回路はFETのC_{RSS}と同様、C₁とC₂のマッチングの度合いに影響され易

くなります。電荷によるオフセット誤差は次式で表されます。

$$V_{\text{OFF}} = V_G \cdot \frac{C_{\text{RSS}}}{C} \left(\frac{\Delta C_{\text{RSS}}}{C_{\text{RSS}}} + \frac{\Delta C}{C} \right)$$

$$= 17.5(0.5/450)(0.05 + 0.05) = 1.9\text{mV}$$

バランス型ホールド・コンデンサを使用したサンプル/ホールドの誤差を1.0mV以下にすることはできません。さて、この構成のセトリングタイムがどのようになるかを明らかにします。前述のとおり、有効電圧振幅は V_{OFF} の計算に示した値に比べて十分に大きいため、 $\pm 0.01\%$ の直線性目標を達成することができます。アキュジションタイムはホールド・コンデンサに比例するため、この高速サンプル/ホールドのアキュジションタイムは300nsになります。セトリングタイムがこのように高速になると、以前無視したその他の要素を検討しなければなりません。今日では入手可能なモノリシックFETオペアンプのセトリングタイムは300ns程度であるため、この方式のアキュジションタイムはさらに増加します。合成されたアキュジションタイムを正確に近似す

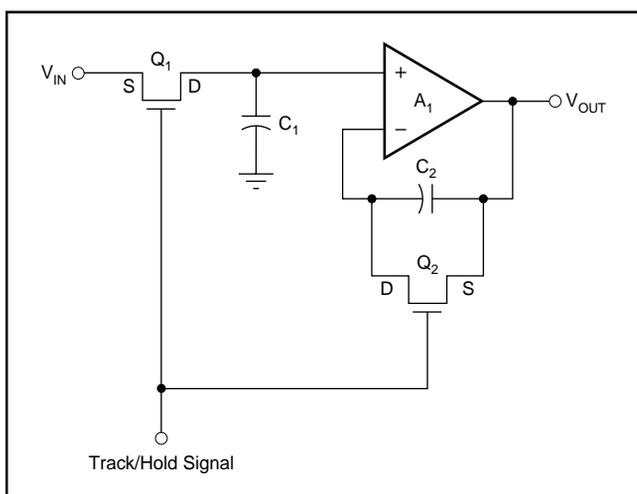


図43. バランス型トラック/ホールド

る方法は、各セトリングタイムの'RMS'を求めることです。したがってオペアンプ出力におけるアキュジションタイムは424nsとなります。

この計算を行う場合、アキュジションタイムに関する微妙な問題を考慮しなければなりません。検討してきた前述の2つのアーキテクチャは、サンプル/ホールド機能がバッファまたはオペアンプと独立しています。これは後で検討する帰還アーキテクチャには当てはまりません。あるシステム・アプリケーションでは、ホールド・コンデンサの両端に現れる電圧とバッファ出力電圧間の差異が問題となります。アナログ/デジタル・コンバータの章で詳細に検討する、ある重要なアプリケーションでは、サンプル/ホールドでサブ・レンジングADCを駆動する例があります。入力信号を高精度に捕捉するだけでなく、変換処理が開始される前に電圧を正確に知る必要があります。図45ではホールド・コンデンサが信号を300nsで収集していますが、バッファ出力が整定するまでには424nsかかっています。

この回路と前述の回路の欠点の1つは、図44に示すようにソース・ゲート容量を介したゲート信号によるチャージ・インジェクションです。FETがオンからオフに切り替わる間のベDESTAL特性により、駆動インピーダンスの性質によっては多くの不確実性が発生します。駆動信号源は悪性のリングングを起こしながらセトリングする場合がありますため、トラック/ホールドは信号源がセトリングする前の値を保存する可能性があります。したがって、この問題を解決するには、トラック/ホールドをバッファで駆動するのが有効です。

図43に関するもう1つの問題は、フィードスルー性能が悪いということです。フィードスルー容量が0.1pFで、ホールド容量が450pFの場合、フィードスルー電圧は $(10)(0.1/450) = 2.2\text{mV}$ となり、目標の1mVより大きくなります。フィードスルー電圧を下げるためには、ホールド・コンデンサを990pFまで増加しなければなりません。フィードスルー電圧を下げるためにホールド・コンデンサを990pFまで増加すると、ホールド・コンデンサ間のアキュジションタイムが600nsに増加します。

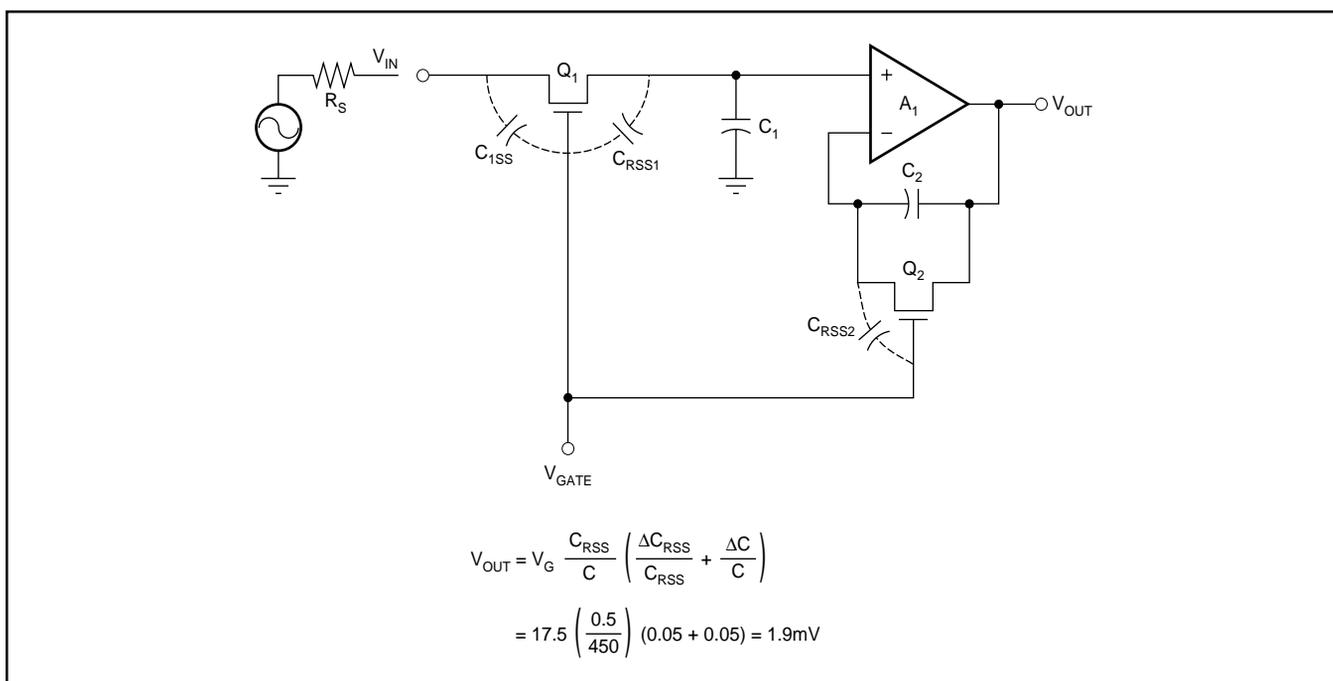


図44. 容量のミスマッチ

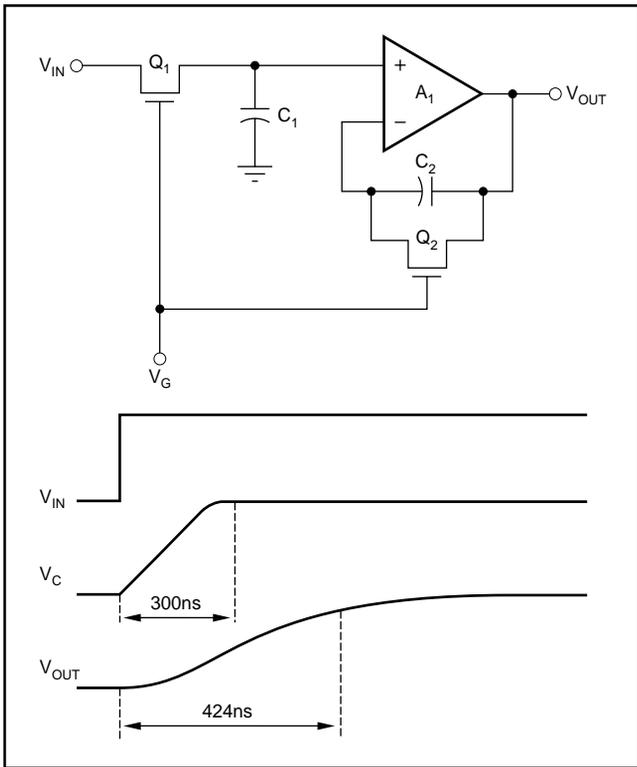


図45. バッファおよびホールド・コンデンサのアクイジションタイムの差

前述のこの計算は、各種設計パラメータの相互作用と、1つの仕様を満足しても、設計を終了する前に別の仕様を再評価しなければならないことを示しています。当初の設計目標である300nsは達成できませんでしたが、この回路は高性能であるため十分に実用性があります。このサンプル/ホールドのコストは比較的手頃です。実際問題として、5 μ sのADCとインターフェースし、全変換時間を小さく抑える必要があるときは、500ns以下のサンプル/ホールドが極めて有効になる場合があります。300ns以下のサンプル/ホールドを設計しなければならない元の設計を振り返ってみましょう。検討価値のあるもう1つのアーキテクチャを図46に示します。このアーキテクチャでは、反転帰還アンプの加算点にスイッチングFETを使用します。この接続の長所はFETを極めて小さな信号で駆動できることであり、ホールド・コンデンサを小さくできます。このアーキテクチャでは補償FETを差動形式で接続するため、回路はFETのマッチングにだけ影響され、 C_{RSS} の絶対値には影響されません。

加算点に設置されるクランプ・ダイオードに注意して下さい。これらのダイオードはサンプル/ホールドがホールド・モードのとき、FETがオフに保持しなければならない信号を減衰させます。したがって、FETに供給しなければならない駆動信号の振幅が極めて小さくなります。フィードスルー問題を解決するための回路は、帰還型トラック/ホールドに接続された2個のダイオードより

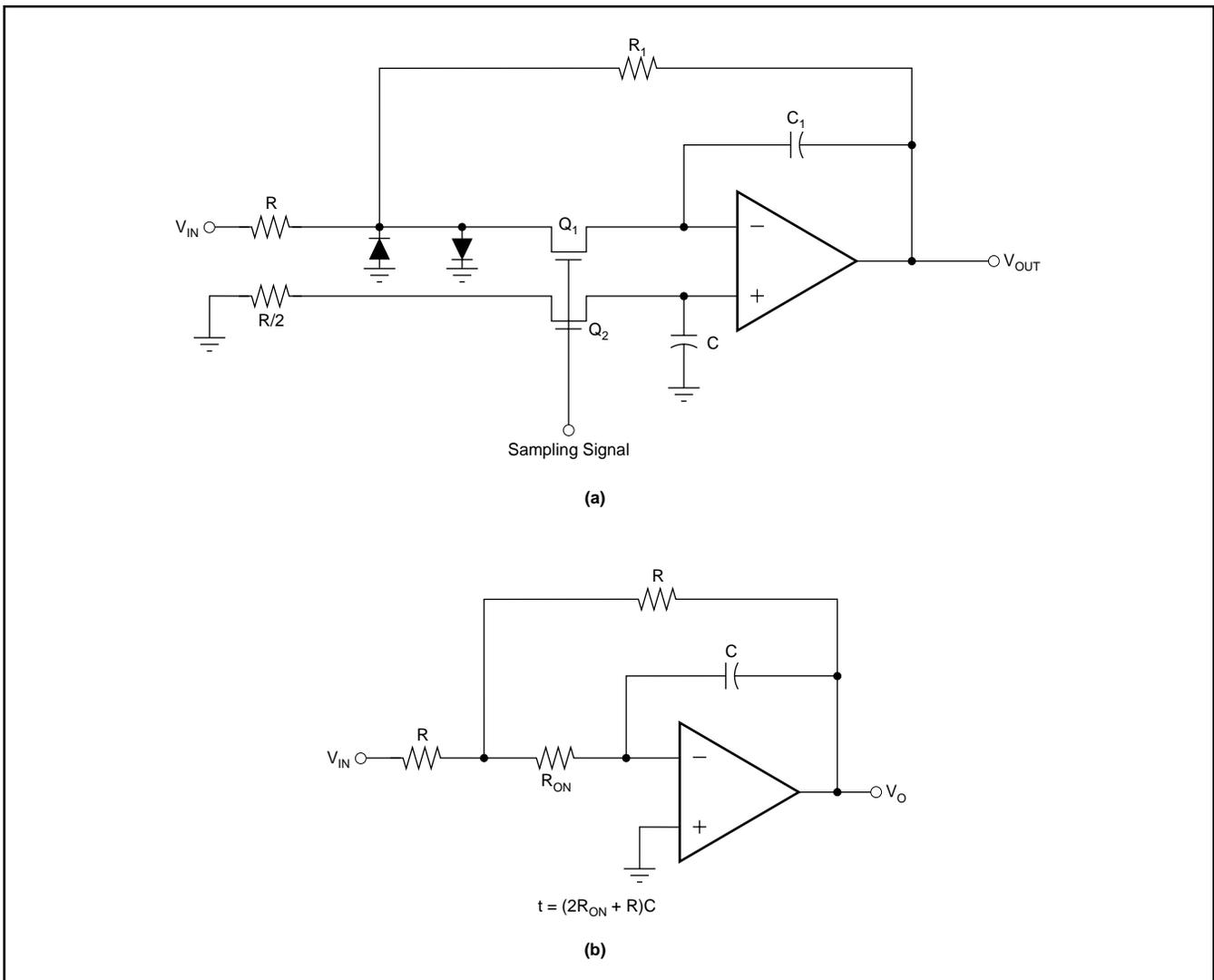


図46. 反転サンプル/ホールド

はるかに複雑ですが、前述の2つの設計例に加えることができます。ゲート駆動信号はスイッチがオペアンプの加算点に配置され、アンプの帰還作用によって加算点の信号がゼロに駆動されるため、小さくすることができます。これは元の設計と違って、電荷によるオフセット・ベデスタルが信号に関係しないので、トラック/ホールドの動作を直線化する効果を持っています。FETを確実にオンさせるには、サンプル・モードのときに5Vの信号を印加し、FETを確実にオフさせるには、ホールド・モードのときに-2.5Vレベルの信号を印加しなければなりません。したがって、ゲートの全振幅は7.5Vになります。

ダイオードが加算点に設置されているため、FET入力に現れる最大電圧は最大で0.6Vです。フィードスルー電圧を許容レベルまで下げるためには、500pFのホールド・コンデンサを使用しなければならないことが前述の例からわかりました。帰還型トラック/ホールドではFETの入力電圧が0.6Vに低下するため、ホールド・コンデンサを60pFに下げることができます。このトラック/ホールドに対する有効小信号時定数は $T = (2R_{ON} + R_F)C$ です。

前述のFETをスルーレートが200V/μs、小信号帯域幅が30MHzのモノリシック・アンプと一緒に使用するものとします。R_Fを300Ωにすると、アンプは残りの電圧変化がオペアンプのスルーレートの直線範囲に収まるまでスルーします。したがって、このトラック/ホールドの小信号時定数は以下のとおりです。

$$T = [(2) 50 + 300][60] = 24\text{ns}$$

これは6.6MHzの小信号帯域幅に対応しており、トラック/ホールドの小信号帯域幅はオペアンプではなく、外付け部品によって決まります。したがって、トラック/ホールドが変化しなければならない残りの電圧が4.8Vのときは、トラック/ホールドはスルーイングを停止します。スルーイング時に経過する時間は $(10 - 4.8)/(200\text{V}/\mu\text{s}) = 26\text{ns}$ です(アキュジションタイムの計算の概要は図40および41を参照して下さい)。残りの時間は $(24) \ln(4.8/0.001\%) = 203\text{ns}$ で与えられます。したがって、トラック/ホールドのアキュジションタイムは229nsになり、図46のアーキテクチャを使用する場合は300nsの目標を満足します。図47に帰還トラック/ホールドの性能の概要を示します。

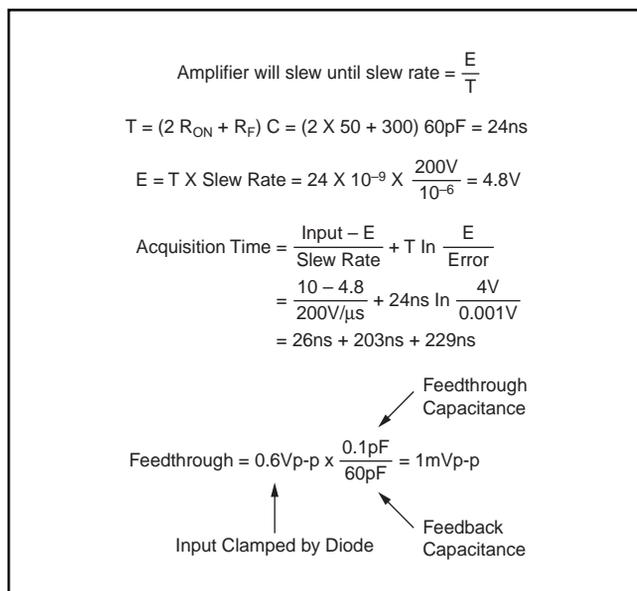


図47. 帰還型トラック/ホールドの性能

このトラック/ホールド構成で低アキュジションタイムを実現する場合、低入力インピーダンスが犠牲になります。入力インピーダンスが300Ωでも、多くのオペアンプは±5Vの入力を駆動できるため、これが不利な条件になることはありません。

これから説明する最近のトラック/ホールドは、これまでに説明した最近のトラック/ホールドより約1桁速いアキュジションタイムを実現することができます。この図48に示すトラック/ホールドはサンプリング要素が違っていますが、前述のトラック/ホールドのアーキテクチャと共通した特徴をいくつか持っています。この高速サンプル/ホールドはサンプリング要素を構成するために、ホット・キャリア・ダイオードをブリッジ構造で使用しています。ダイオードでサンプル/ホールドを構成するのはより複雑ですが、FETと比較すると時定数が低く、スレショルド電圧も低いため、高いサンプル速度が実現できます。たとえば、5mAで動作するホット・キャリア・ダイオードの抵抗は5Ω、V_Dは0.6V、そして容量は5pFです。図48に、2Vステップ入力で40ns ±0.02%のアキュジションタイムを持つサンプル/ホールドのブロック図を示します。このサンプル/ホールドのオーバーチャ時間は、実測値で3ps以下です。(オーバーチャ時間の測定技術は「テスト技術」の項で説明します)。サンプリング機能はホット・キャリア・ダイオードのブリッジCR₁からCR₄を、“オン”状態から“オフ”状態に切り替えることにより行われます。サンプル・モードではトランジスタQ₂とQ₄がターンオンすることにより、電流がダイオードを介して流れます。このブリッジはQ₃とQ₄をターンオフし、Q₁とQ₃をターンオンするとホールド・モードに復帰します。Q₁とQ₃をターンオンさせると、CR₁からCR₄は逆バイアスされます。これらのバイアス電圧は出力を基準にしているため、“ブートストラップ効果”が起こってダイオードCR₁・CR₄に生ずる逆バイアス電圧は信号レベルと無関係になります。これは、このデザインの重要な機能であり、チャージ・オフセット・ベデスタルが信号レベルに対して非線形になるのを防止する作用があります。ECL信号はスイッチング・トランジスタQ₁からQ₄と結合されています。ホールド・コンデンサは、アンプの章で説明した高速タイプのバッファとオペアンプによって分離されています。サンプリング・ブリッジは、高速開ループ・バッファによってアナログ入力信号から分離されています。

比較のため、このトラック/ホールドの性能パラメータの差異を計算で明確にします。以下の計算から明らかのように、ダイオード・ブリッジはFET設計と比較した場合、同等な高精度特性を実現することはできません。

電荷によるベデスタル誤差

ダイオード・ブリッジを常にオフさせることを保証するために、ブリッジは上部および下部を相補信号で駆動されています。電荷によるベデスタル誤差は基本的にはダイオード容量のミスマッチによるもので、下記の式で表されます(図49参照)。

$$V_{OFF} = (V_{OFF})(C_{D1} - C_{D2})/C$$

注意すればダイオードを0.025pF以内でマッチさせることができます(実際には、このレベルに容量を調整します。一度調整を行えばダイオード容量の差を0.025pFに維持できます)。適切なダイナミック動作を行わせるために、V_G = 2.0V、およびホールド・コンデンサを40pFとします。これらの数値を上式に代入すると、

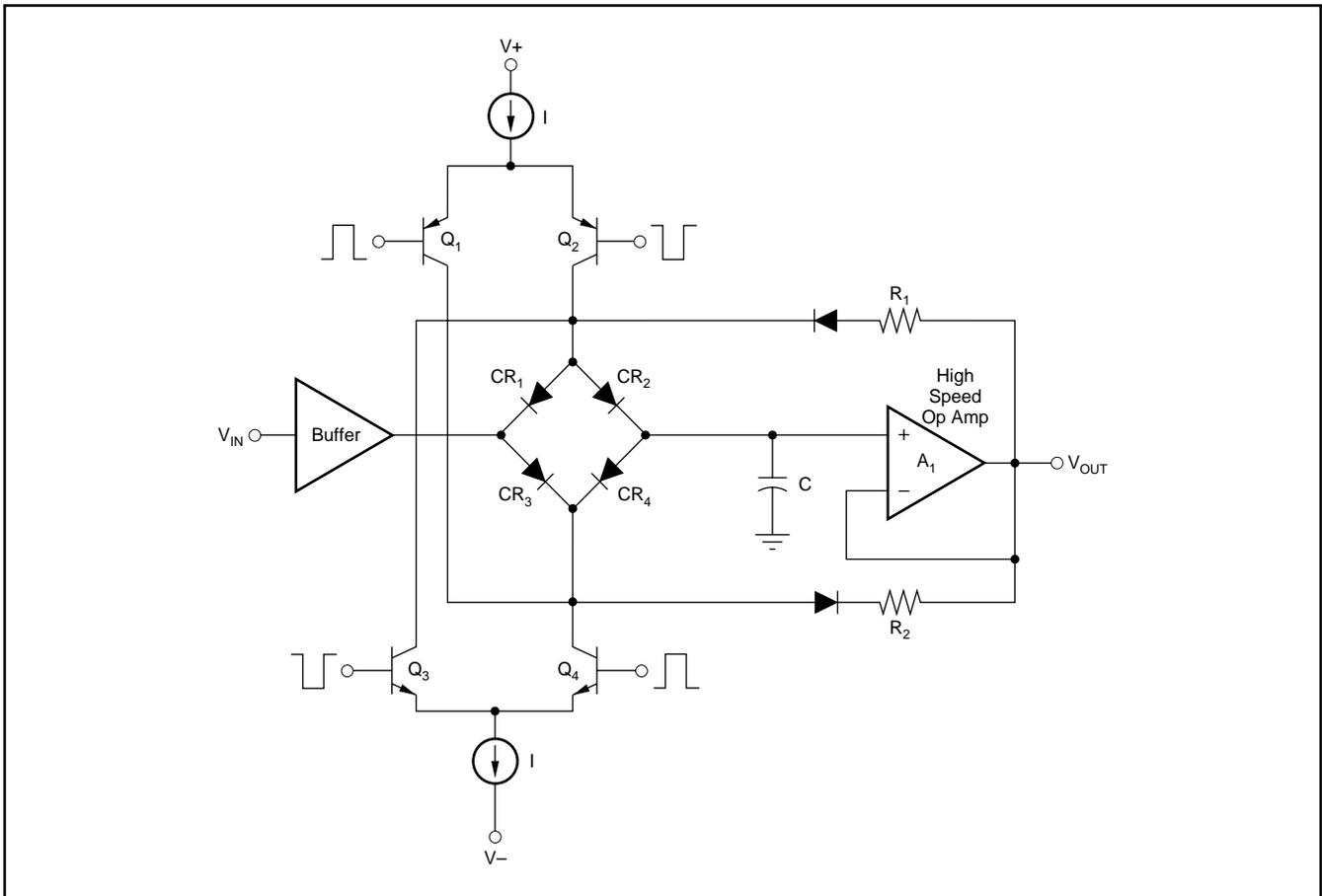


図48. 極めて高速なサンプル/ホールド

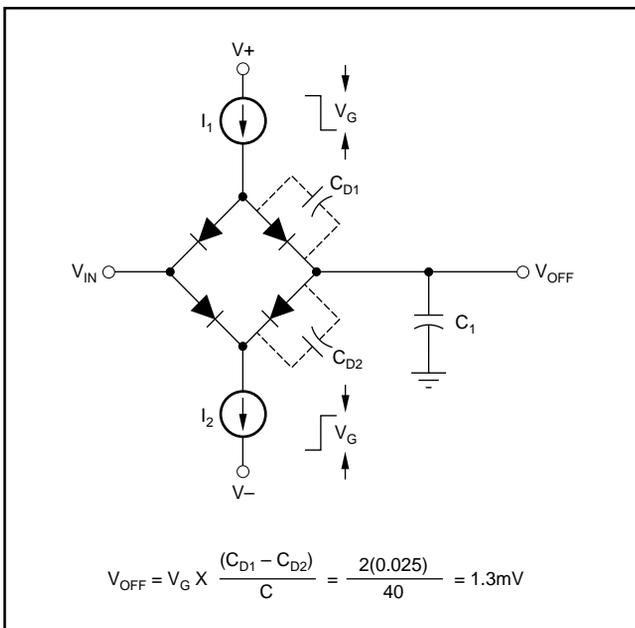


図49. ダイオード・ブリッジに対するベDESTAL

以下の結果が得られます。

$$V_{OFF} = (2)(0.025/40) = 1.3\text{mV}$$

FET設計の場合と違って、このオフセット電圧はブートストラップ動作によって信号レベルと無関係になるため、厳密なオフセット誤差になります。

スイッチ遅延ベDESTAL誤差

ダイオード・ブリッジのスイッチング配列によって、FETスイッチにはない新たな誤差源が発生します。ブリッジをバイアスする電流源が対称的にスイッチングを行わなければ、ホールド・コンデンサはもう一つの電流源が、切り替わるまで放電を始めます。この誤差はシステム・レベルではオフセット電圧として現れます。第一近似として、クロス・カップリングにより、NPNとPNPのスイッチング・ペアの時間ミスマッチは除去されます。しかし、寄生容量の大きさの違いによる2次効果のため、ブリッジのスイッチングを行う相補信号の間には標準で50ps程度のミスマッチが存在します。これは下記の式で表されるオフセット電圧に変換されます(図50参照。ブリッジ電流Iは5mAとします)。

$$V_{OFF} = I(T/C) = 5\text{mA} (50\text{ps}/40\text{pF}) = 6.3\text{mV}$$

この効果もブートストラッピング作用によって、信号レベルと無関係になります。

トラックからホールドのセトリング

トラックからホールドのセトリングは、トラック/ホールドがホールド・モードに切り替わる時に観察されるトラック/ホールドの回復時間です。前述の3つのアーキテクチャはサンプリング・エレメントに依存していますが、それがFETであろうとダイオードであろうと、スイッチングは同一の動作波形およびターン・オフ特性で行われる必要があります。一般にこれは成り立たず、また小振幅の信号はバッファ・オペアンプに注入されます。トラックからホールドのセトリングは計算が複雑です。その代表的な波形を図51に示します。

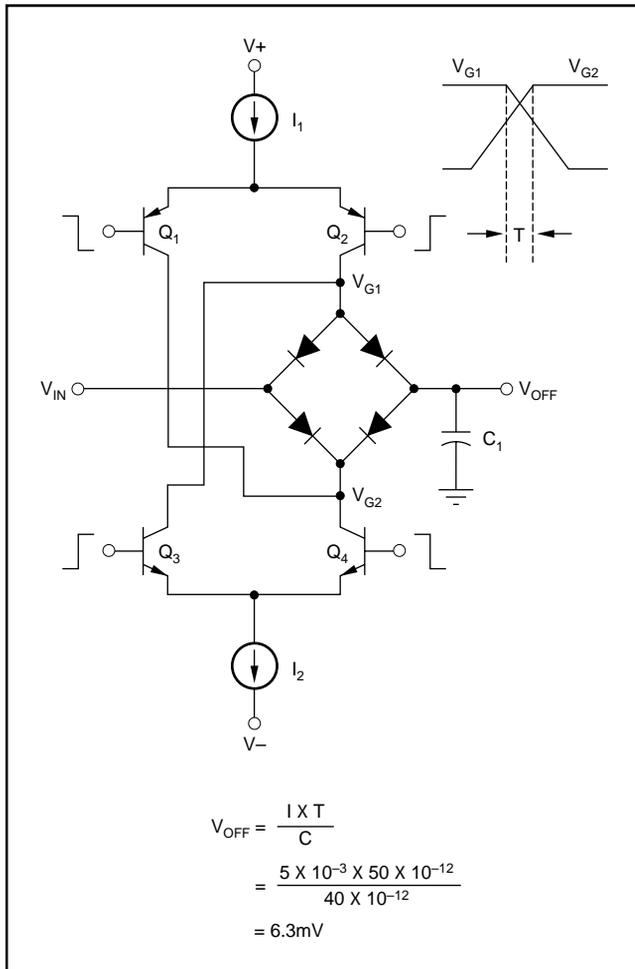


図50. スイッチ遅延

信号のフィードスルー

オフ状態になると、ブリッジの上部および下部は低インピーダンスでクランプされます。したがって、信号はその経路を介して結合されません。信号のフィードスルーはレイアウトによって起こります。注意すれば、ブリッジの入力および出力間では0.01pFの結合容量を実現することができます。この状態では下記のレベルのフィードスルーが生じます(図52にオフ状態のブリッジを示す)。

$$V_{FEEDTHROUGH} = V_{IN}(C_c/C) = 2(0.01/40) = 0.5\text{mV}$$

アパーチャ・ジッタおよびアパーチャ遅延

3psより小さなアパーチャ・ジッタ、および3nsのアパーチャ遅延を実現することができます。アパーチャ遅延が低いのは、インターフェース回路が広帯域ECLであるためです。

ドループ

マッチしたホット・キャリア・ダイオードを使用して実現できるリーク電流は、FETで得られる電流レベルと比較すると極めて高くなります。適切な熱レベルのレイアウトを使用すると、1nAのリーク電流を実現することができます。このときのドループは次式で表されます。

$$\text{ドループ} = 1\text{nA}/40\text{pF} = 25\mu\text{V}/\mu\text{s} \text{ (25 の場合)、}$$

$$\text{あるいは約}25\text{mV}/\mu\text{s} \text{ (125 の場合)}$$

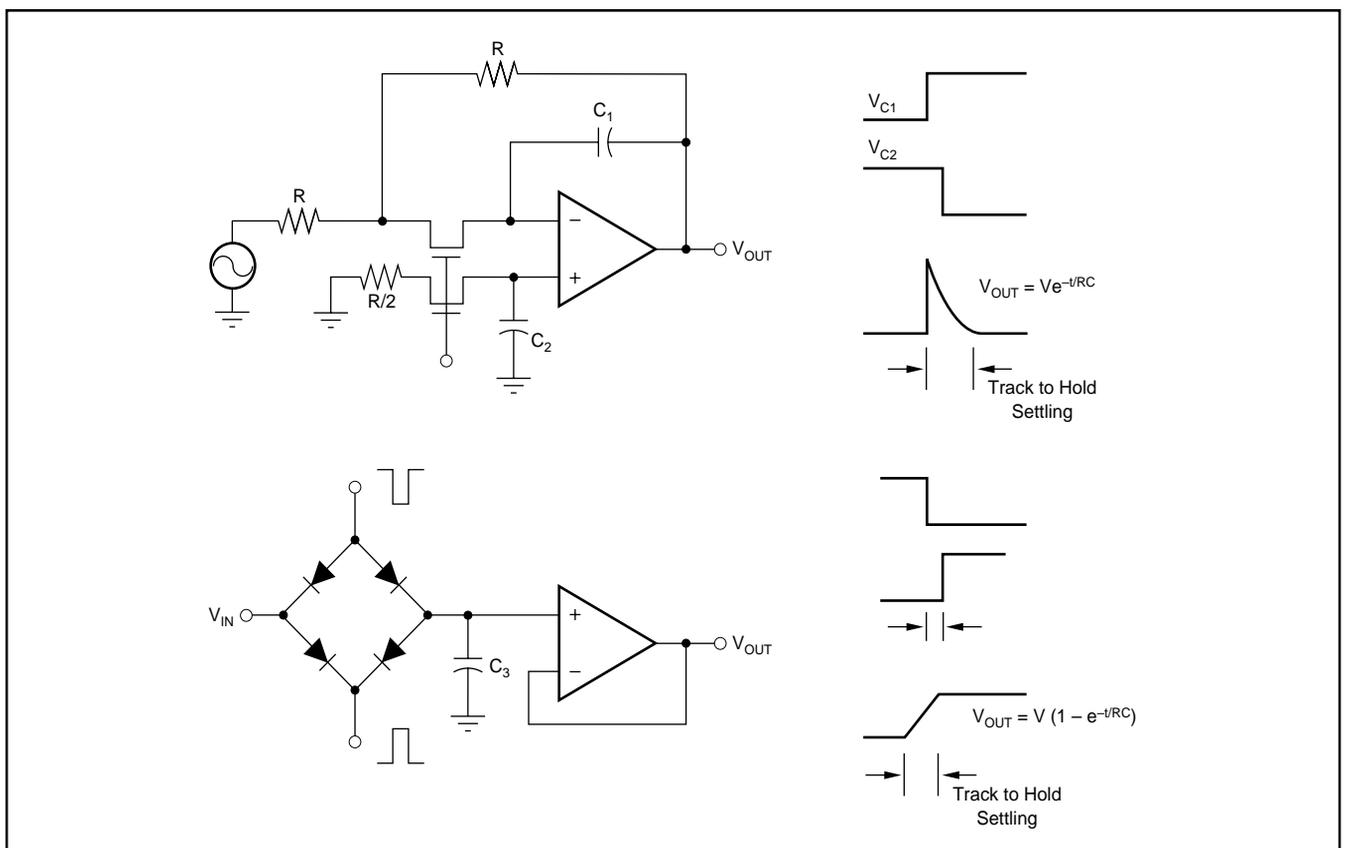


図51. トラックからホールドのセトリング

アキュイジションタイムおよびフルパワー帯域幅

比較を終えるため、前述の方法を使用してアキュイジションタイムおよびフルパワー帯域幅の計算を行います。最も高速なサンプル/ホールドはわずか2Vの波形が処理できるように設計されているため、その等価0.01%誤差は0.2mVです。アンプの帯域幅を80MHz、またスルーレートを300V/μsと仮定します。図53にこの計算を示します。

前述のとおり、トラック/ホールドに対する最も一般的なアプリケーションとしては、デジタル/アナログ・コンバータの前段に設置して、アパーチャ時間を低減することです。

デジタル/アナログ・コンバータの章の終わりにかけて、サンプル/ホールドによるDACの「デグリッチ」方法を説明したもう1つのアプリケーションを示します。第3のアプリケーションとして、トラック/ホールドによる精密ピーク検出器の構成方法を示します。図54にピーク検出器のブロック図を示します。

遅延線およびコンパレータが、ピークの発生する位置をデジタル的に示すために使用されています。トラック/ホールドはコンパレータ出力の作用によって、ピークの位置が決定されるまで信号をトラックすることができます。ピークが発生すると、コンパレータは状態を反転し、したがって、トラック/ホールドがホールド・モードとなり、次の処理のためピーク振幅を記憶します。

C. デジタル/アナログ・コンバータ

図56の回路図は高速デジタル/アナログ・コンバータの代表的なアーキテクチャです。ここでのデジタル/アナログ・コンバータはECLコンパチブルですが、電流切り替えの基本的なメカニズムなど多くの部分はTTLコンパチブルのデジタル/アナログ・コンバータと共通です。最近ではCMOS技術を使用した高性能デジタル/アナログ・コンバータの設計が行なわれており、12ビットの分解能を持つCMOS DACが設計されていますが、パイボラ技術で実現できる速度は達成されていません。今日ではGaAs技術を使用して、セトリングタイムが1ns近くの高速度DACが実現されてい

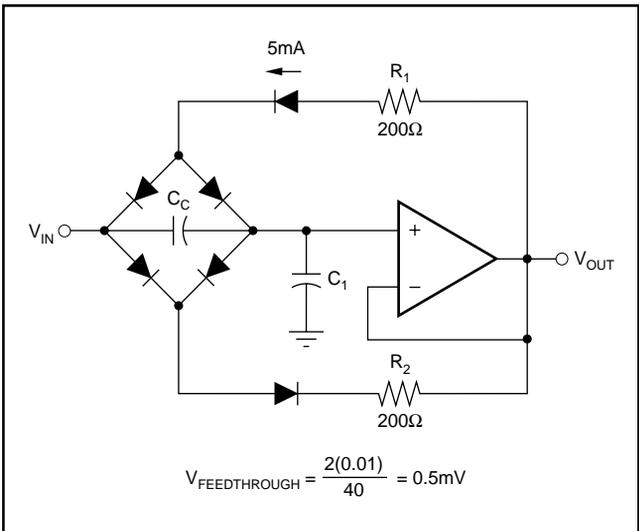


図52. オフ状態のブリッジ

Amplifier will slew until slew rate = $\frac{E}{T}$

$$T = \frac{1}{2\pi B\omega} = \frac{1}{2\pi 80 \times 10^6} = 1.99\text{ns}$$

$$E = T \cdot \text{Slew Rate} = 1.99 \times 10^{-9} \cdot 300\text{V}/\mu\text{s} = 0.6\text{V}$$

$$\text{Acquisition Time} = \frac{\text{Input} - E}{\text{Slew Rate}} + T \ln \frac{E}{\text{Error}}$$

$$= \frac{2 - 0.6}{300\text{V}/\mu\text{s}} + 1.99\text{ns} \ln \frac{0.6}{0.0002}$$

$$= 4.7\text{ns} + 15.9\text{ns} = 20.6\text{ns}$$

$$\text{Full Power Bandwidth} = \frac{\text{Slew Rate}}{(V_{\text{PEAK}})(2\pi)}$$

$$= \frac{300\text{V}/\mu\text{s}}{(1)(2\pi)} = 47.7\text{MHz}$$

図53. 高速サンプル/ホールドのアキュイジションタイムおよびフルパワー帯域幅の計算

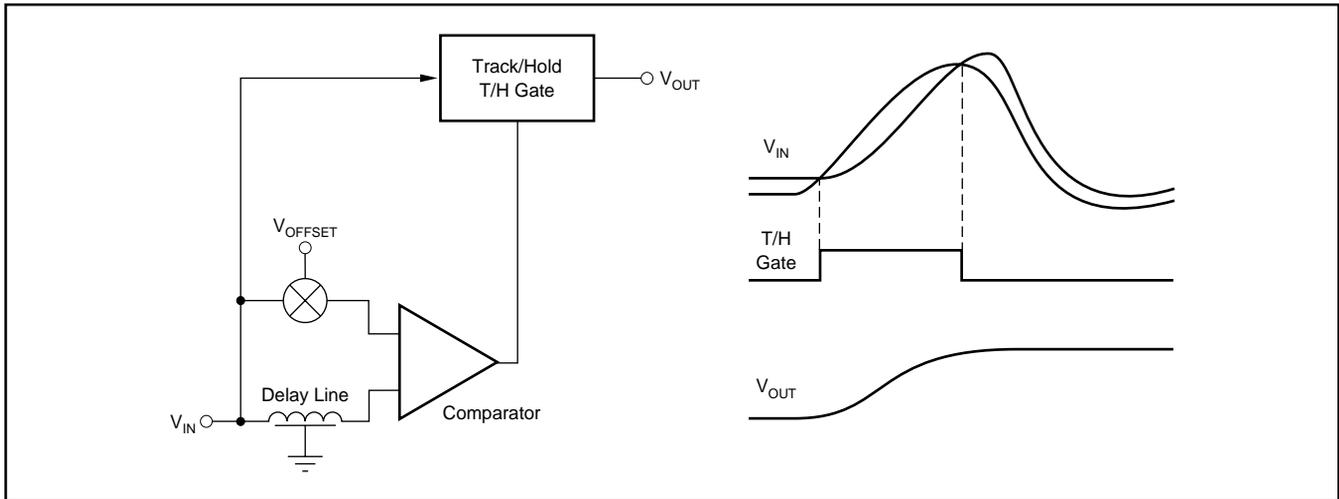


図54. ピーク検出器

ますが、この場合でもバイポーラ設計で用いられているトポロジーと類似の方法が用いられています。したがって、バイポーラ技術によって実現される高速デジタル/アナログ・コンバータの設計方法を考察することにより、高速高分解能DACに対する設計方法を理解することができます。“サーボ・アンプ”や基準回路などの要素も、高速スイッチと共に5nsまでのセトリングタイムと16ビットクラスの分解能を有する高精度デジタル/アナログ・コンバータに用いられる代表的な機器ブロックです。これから説明するDACは、12ビットの分解能と $\pm 0.01\%$ の精度で25nsのセトリングタイムを持ち、 -55 から $+125$ の温度範囲で動作できます。このコンバータは、最近のモノリシック・プロセスで実現できる代表的なコンバータです。DACは1GHzのNPNトランジスタとコンパチブル薄膜抵抗を持つ20Vプロセスを用いて製造されています。後で説明するように、薄膜抵抗はレーザ・トリムされており、極めて広い温度範囲で真の12ビット直線性を実現します。

その上、薄膜抵抗はその精度を長期間維持できるため、高速、高分解能、および低コストのデジタル/アナログ・コンバータを製造するための信頼性の高い技術といえます。これから説明するコンバータは、高精度電流スイッチ、サーボ・アンプ、および低ドリフト・リファレンスを内蔵した完全なモノリシックICで、フィルタリングやバイパスに必要な集積をするには大きすぎる数個のキャパシタだけ、チップから取り除かれています。

コンバータは非飽和形式で駆動される12個のスイッチで構成されます。出力スイッチの電流をできる限り高速で流すためには、飽和しないように細心の注意を払うことが大切です。トランジスタが一度飽和すると、回復時間が20倍かそれ以上に増加します。この種のDACを設計する方法はたくさんありますが、まず各種のDACアーキテクチャを要約します。1つの方法としては、図55のように各ビット・スイッチにバイナリの重みを付け、次に出力を加算する方法です。この方式を使用する場合、独立した電流源を高い精度でマッチさせて広い電流範囲でスイッチングを行うことが困難なため、高い精度は実現することができません。12ビットDACのフルスケール出力電流が10mAの場合、LSBの重みは $4.9\mu\text{A}$ であり、高速スイッチングを行うには小さすぎます。その上、こ

れらのスイッチのすべてを並列にすると、出力容量が極めて高くなります。バイナリの重み付きDACの唯一の利点は、電流が無駄に流れず、別の設計方式と比較して、このタイプのデジタル/アナログ・コンバータの正味の消費電力が最も低いことです。

この設計のもう1つの方法は、等しく重み付けした12個の電流スイッチを使用する方法です。したがって、等しく重み付けした12個の電流スイッチは、図56に示すように電流をR-2Rラダーを通過させてバイナリの重み付けをします。等しく重み付けした12個の電流源は図57に示すように、“サーボ・メカニズム”制御ループを使用して高い精度でマッチさせることができます。サーボ・ループは出力電流の値を、基準電流の値と正確(回路の許容範囲内)にマッチさせる機能を備えています。基準電流はオペアンプの正の入力とトランジスタ Q_1 のコレクタに接続されます。したがって、同じ基準電流が Q_1 を通過すると、ベース電流の加わったエミッタ電流として流出します。次に、 Q_1 のエミッタ電流は Q_2 のコレクタ電流となります。 Q_2 のベース・エミッタ接合部間を流れる電流による電圧と R_1 の両端の電圧降下によって、同じ電流が Q_3 を流れます。 Q_3 のコレクタ電流は、 Q_3 から出力電流として流出する Q_3 のエミッタ電流になります。図57に示す解析を吟味すると、すべてのトランジスタや抵抗が高い精度でマッチするときは、出力電流が基準電流と等しくなることがわかります。これはトランジスタと抵抗をマッチさせるのに非常に適しているため、モノリシック・プロセスで実現するのに理想的な技術になります。誤差源の詳細な解析は後で示します。この方式で設計したデジタル/アナログ・コンバータは、グリッチ性能が最も高くなりますが、消費電力は最も高くなります。“グリッチ”とは、デジタル・コードがあるコードから次のコードに変化するとき、各カレント・スイッチが同時に切り替わらないために生じるコンバータ出力の不確定性を指します。詳細はデジタル/アナログ・コンバータの章の終わりに記載した低グリッチDACの設計を参照して下さい。

図60に示すように、実用的なデジタル/アナログ・コンバータは前述の2例を合成したものです。まずMSB(最上位ビット)から始めて、高速スイッチングが可能な電流範囲まではバイナリの重み付けが使用されています。

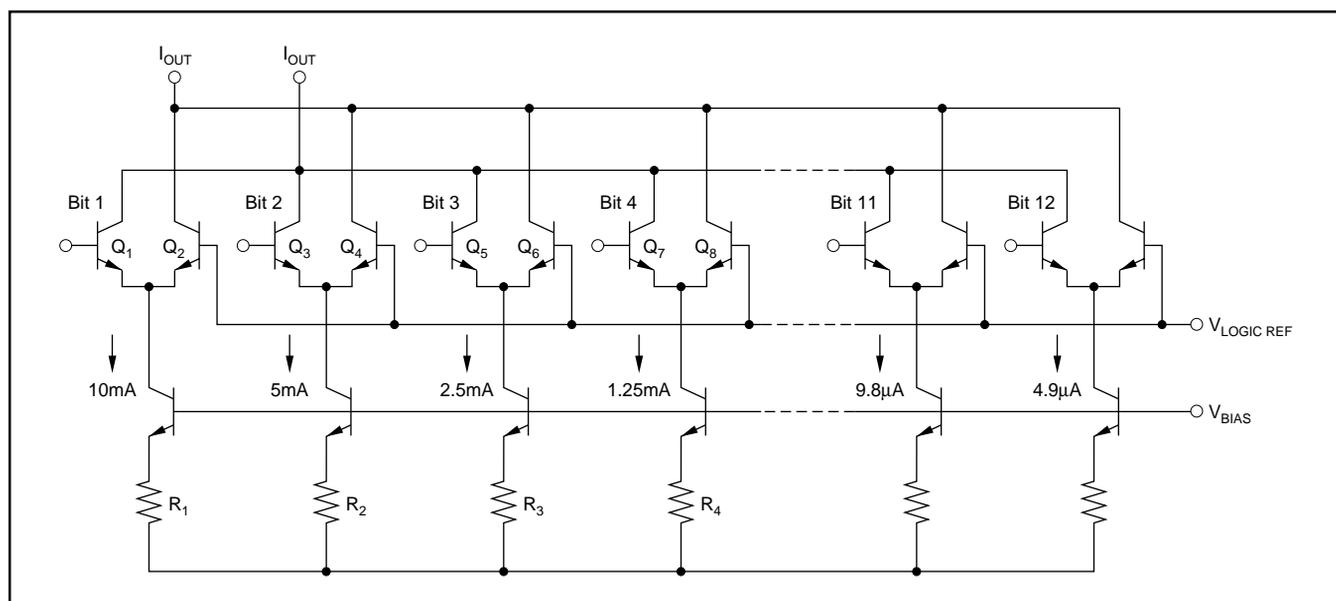


図55. バイナリの重みつき電流源DAC

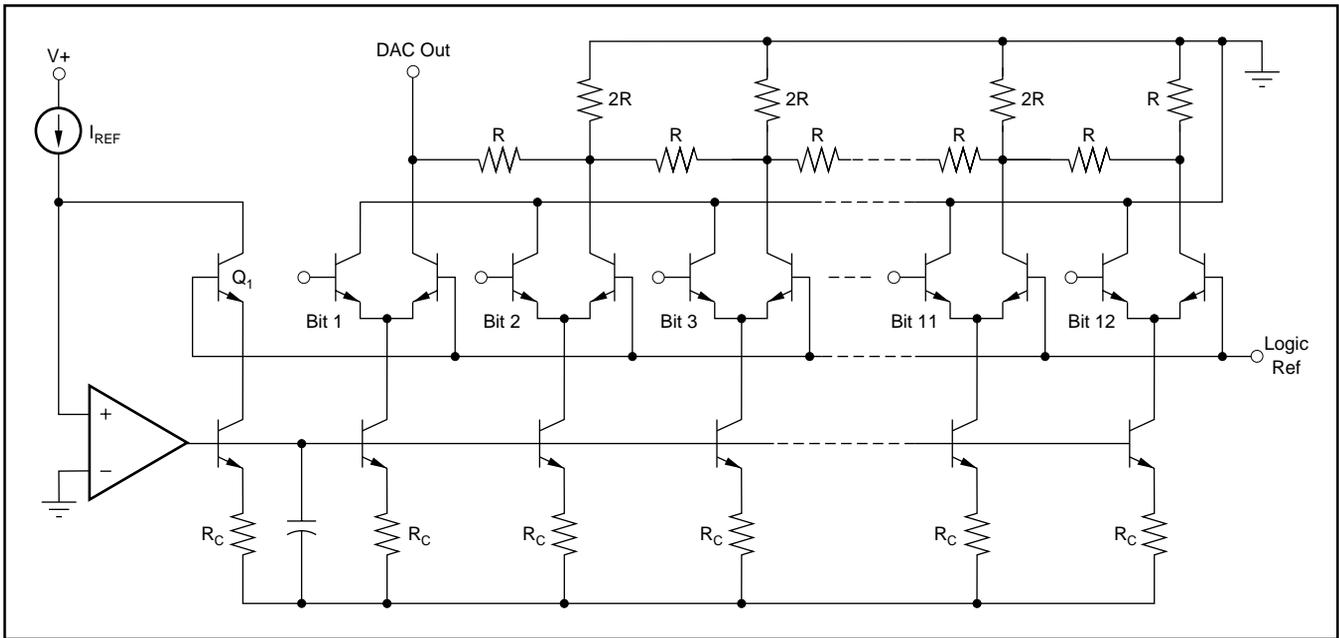


図56. 均等重み付け電流源を使用した高速DAC

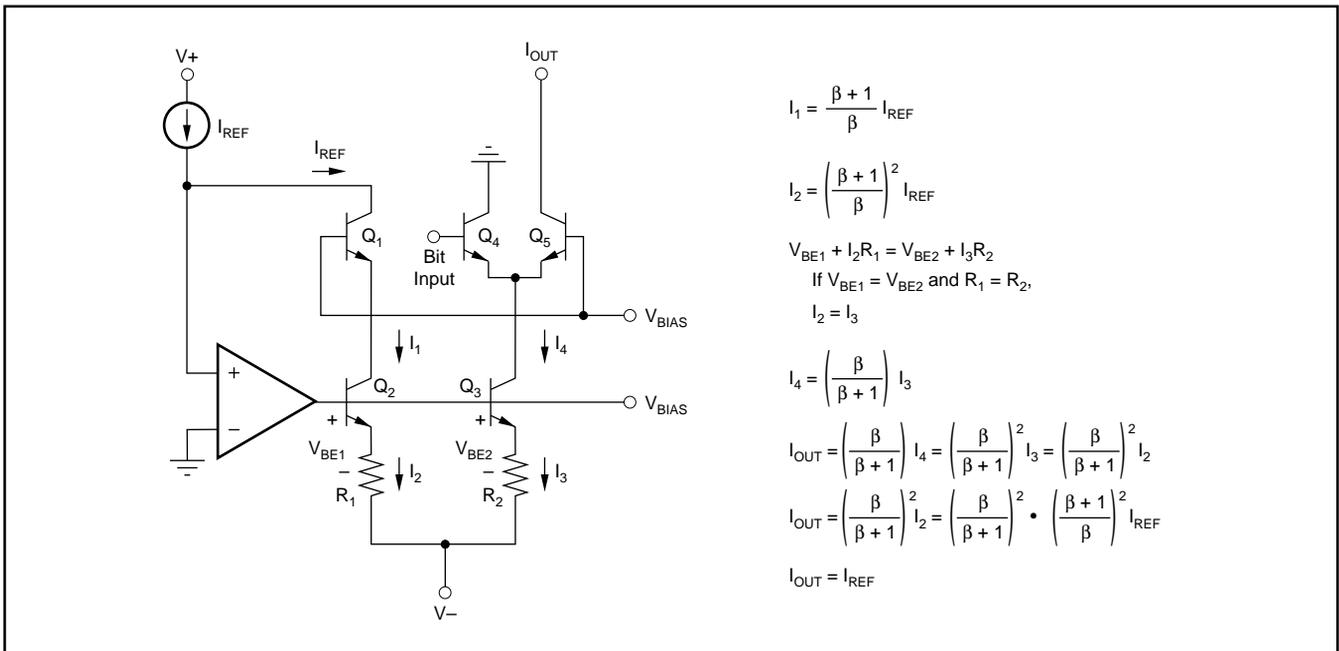


図57. DACサーボ・ループ

MSB電流がLSB電流と同じ値でなくても電流密度が一致するように構成されているため、マッチングは維持されます。大電流を流さなければならないトランジスタは、物理的に大きく製作すれば電流密度が維持されるため、トランジスタで発生する電圧降下を同じにすることができます。これはトランジスタを並列に設置するのに似ています。

図58に1ビットあたりのカレント・スイッチ回路と各部のスイッチング波形を示します。このエミッタ・カップル・ペアを使用したカレント・スイッチは、 Q_1 のベースに与えられる正方向のロジック入力に対しエミッタ・フォロワとして動作し、 Q_1 と Q_2 のエミッタ・ベース間に存在する共通モード・キャパシタンスを十分ドライブすることができるため、非常に高速なスイッチングが可能です。 Q_1 のベースをECL入力で駆動した場合、 Q_1 のエミッタはECLの変化レートである約 $1V/ns$ で変化します。低グリッチ性能を実現するには、正のロジック変化に対するDAC伝搬遅延と負のロジック変化に対するDAC伝搬遅延を等しくする必要があります。したがって、負方向のロジック入力が与えられた場合、電流源 Q_3 により供給される電流は、ノード・キャパシタンスを十分にドライブし、 Q_1 、 Q_2 のエミッタ電圧がECLの変化レートに追従できるような電流値であることが必要です。いくつかのデジタル/アナログ・コンバータ設計では、電流スイッチが差動的に駆動されます。つまり、どちらかのスイッチは切り替わる電流に関係なく、ノード容量をアクティブに駆動する機能を持つ訳です。この方式では、差動ドライバを使用せずに下位ビットに高電流を供給しています。これを外部から行う場合は、ユーザが差動入力を用意すると共にチップに12個の入力を追加しなければなりません。それに対して、チップに差動ドライバを設置すると速度が低下し、回路がより複雑になります。簡素化したい場合は、この特殊な方式を使用します。話を設計に戻すと、負方向のロジック変化に追従するために必要な電流の大きさは、下記の式で与えられます(図58参照)。

$$I = C (V/T)$$

ただし、 C は全ノード容量、 (V/T) はロジック入力の変化率です。

代入：

$$I = 1pF (1V/ns) = 1mA$$

両方向の伝搬遅延を等しくするために余分な電流を供給します。したがって、下位ビットに対する最小電流は $1.25mA$ に設定します。MSBの電流はこの値の4倍の $5mA$ に校正され、次のビットであるビット2は最小値の2倍の $2.5mA$ に校正されます。ビット3からビット12は $1.25mA$ に設定されます。ビット1からビット3は一点で接続され、ビット4からビット12は、二進の重みを与えるためにR-2Rラダーを介して接続されます。高精度を維持するために、ビット1からビット2は物理的にサイズをスケールアップしています。サイズによるスケールアップは、単位電流スイッチを並列に配置したものと考えることができます。したがって、サーボ・アンプを使用すると、必要に応じてマッチングと補償を行うことができます。図59にこの方法を示します。

ラダーの出力抵抗は標準では 250Ω です(図60参照)。したがって、DAC出力の電圧振幅は $2.5V$ になります。柔軟性を最も高くするため、正のリファレンスに抵抗を接続して、DAC出力がグラウンドを基準にして $\pm 1.25V$ 振幅できるようにします。 $-1.25V$ の負のレベルを調整するには、出力トランジスタが飽和しないように注意する必要があります。図61に検討しなければならないコレクタの寄生抵抗を含めた回路図を示します。

この図にはDACスイッチをECLレベルの入力とインターフェースするための変換ツェナーも示されています。 $6.8V$ ツェナーはインピーダンス・レベルが高速を維持するのに必要な約 50Ω と低いいため、有効な電圧変換デバイスです。ECLレベルが低レベルで $-1.7V$ のときは、 Q_1 のベース電圧は $-8.5V$ になります。 Q_2 のベース電圧が $-8.1V$ なので Q_1 はオフし、 Q_2 がオンします。 Q_1 は、わずかに順バイアスされていますが、12ビットのアプリケーションにおいては問題のないレベルです。 Q_2 がオンしているときは、エ

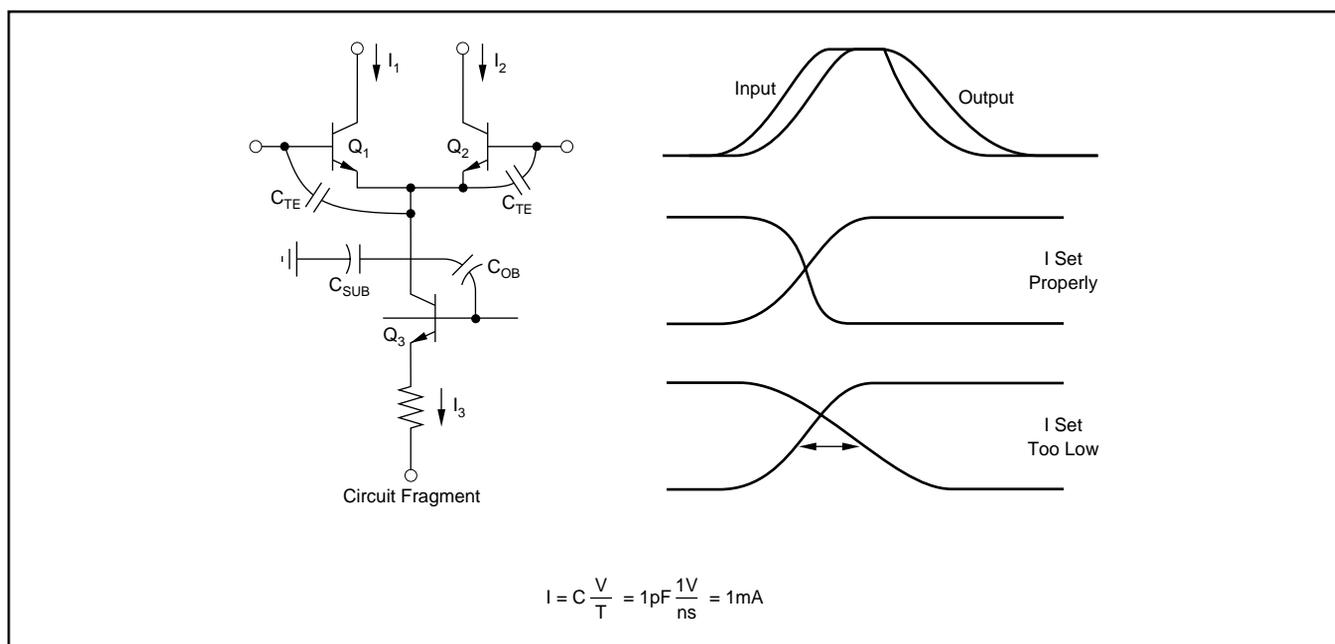


図58. DACスイッチング

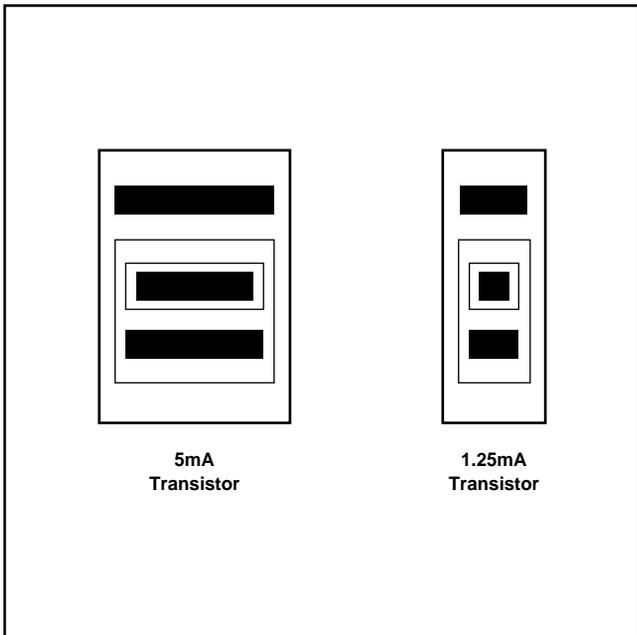


図59. スケールされたトランジスタ

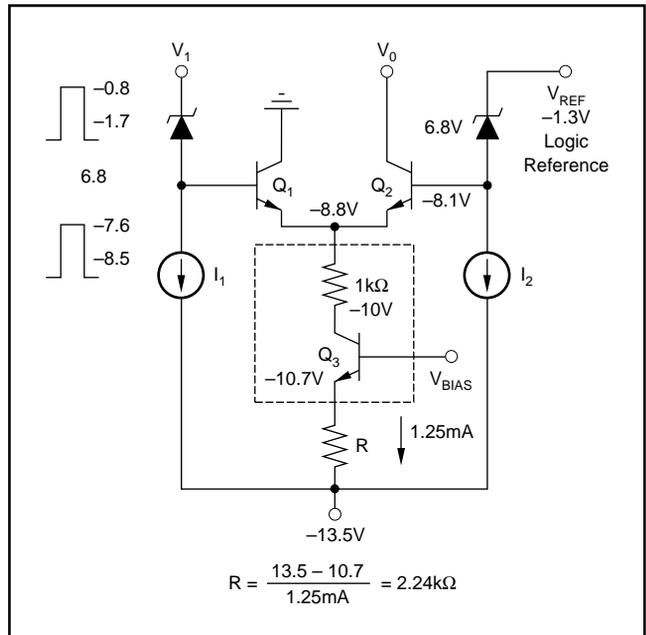


図60. 実際のDAC

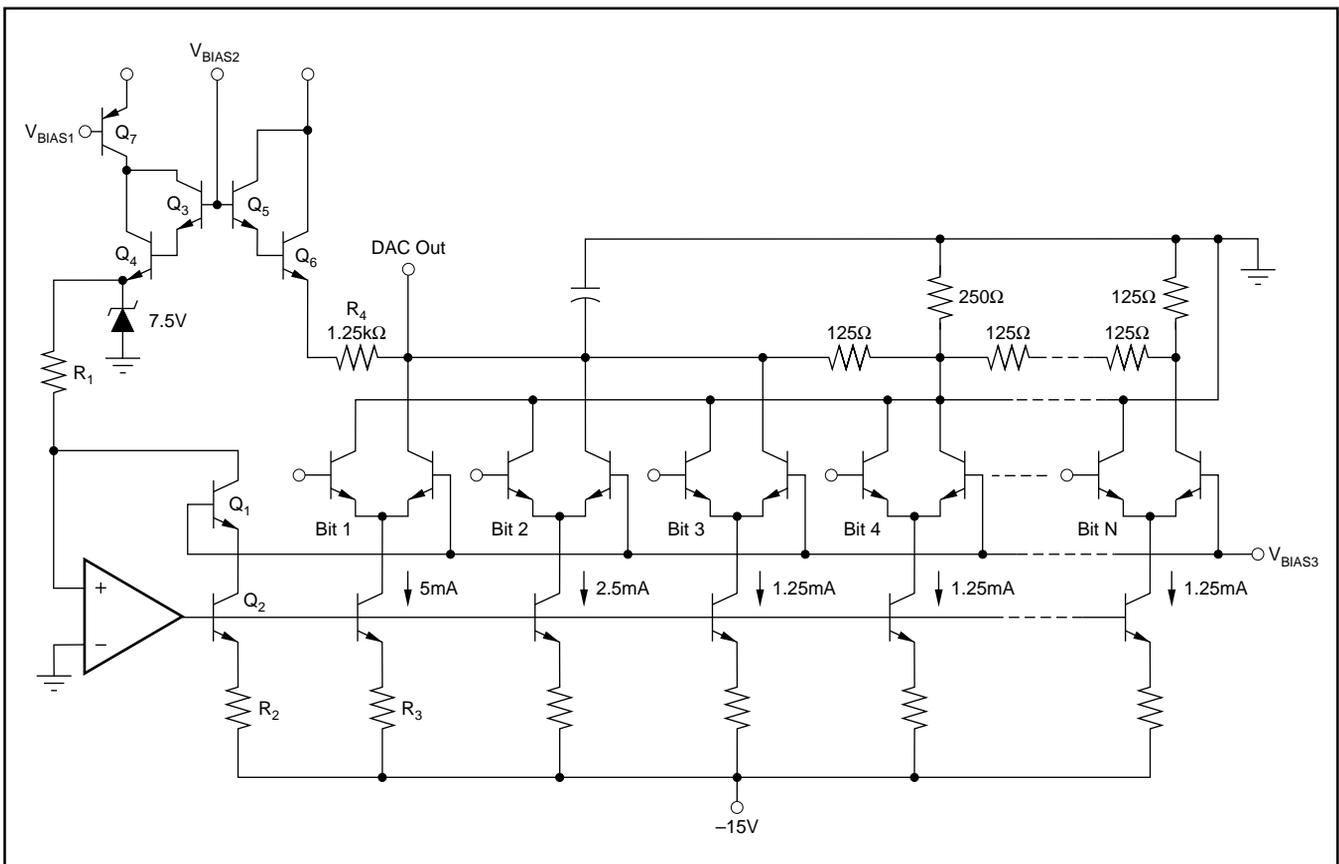


図61. DACのバイアス電圧

ミッタの電圧は-8.8Vになります。このDAC設計で使用されるトランジスタの飽和抵抗は1kΩであり、電流レベルが1.25mAであるため、実際のコレクタ電圧は-10Vになります。ワーストケース条件でも、ベース電圧が-10Vより大きくなならないようにしなければ、飽和し始めてしまいます。したがって、これらの条件のもとでは、Q₃のエミッタが-10.7Vになります。最大精度を実現するには、できる限り大きなエミッタ・デジェネレーション電圧を持たせる必要があります。許容電圧が最も大きくなる時は、エミッタ電圧が-10.7Vで、標準では-15Vの電源電圧が-13.5Vと最も低いときです。これらの条件のもとでは、エミッタ・デジェネレーション電圧は13.5 - 10.7 = 2.8Vになります。したがって、エミッタ・デジェネレーション抵抗は(2.8V) / (1.25mA) = 2.24kΩです。

標準的なDACスイッチおよび電流源の主な誤差発生要素の解析を示す図62を参照して下さい。3種類の誤差源はDACを組み立てた後の調整により除去できますが、残りの2つは設計段階で除去しなければなりません。トランジスタのベータとV_{BE} マッチング、および薄膜抵抗のマッチングの3つの誤差源はトリムアウトによりゼロに調整することができます。これらの誤差による影響は室温で調整できても、温度が変化すると変化します。たとえば、トランジスタのβを150、温度係数を+7000ppm/ と仮定します。トランジスタのコレクタ電流が補償されていないときは、そのβ誤差は(7000/C) / 150 = 47ppm/ です。つまり、コレクタ電流とエミッタ電流の比は、室温では150 / 151 = 0.99348になり、125 では0.99609になります。経験では、サーボループの補償作用によって1/200に大幅に低下します。したがって、この効果による温度に対する正味のドリフトは0.24ppm/ になります。トランジスタQ₂およびQ₃がマッチしていれば、そのV_{BE}は1μV/ でお互いにマッチし、スイッチの精度に対する影響は(1μV/) / 2.8V = 0.36ppm/ になります。最後に、抵抗が適切にレイアウトされていれば、0.5ppm/ という抵抗マッチングが実現できま

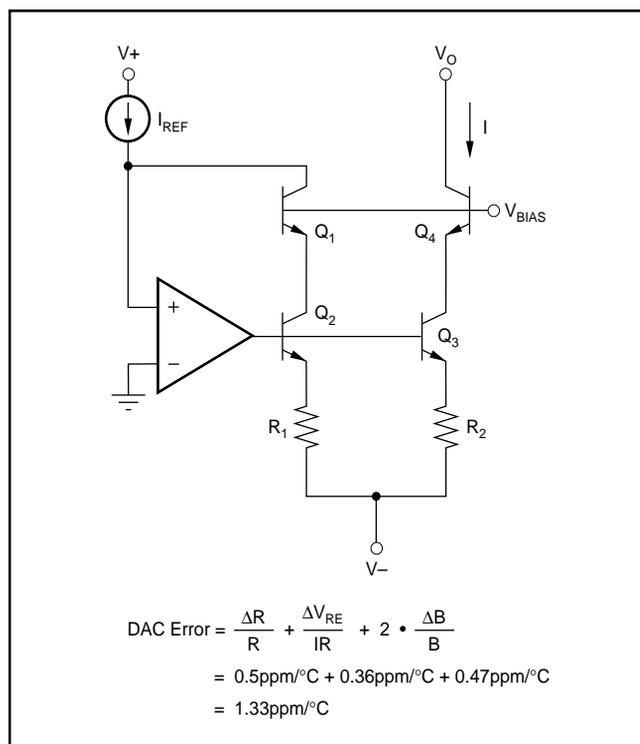


図62. 調整可能なDAC誤差

す。これら3つの効果を加算すると、下記の温度に対する正味の電流源ドリフトが得られます。

$$\begin{aligned} \text{温度に対する変化} &= (2)\beta + V_{BE} + \text{抵抗} \\ &= 0.47 + 0.36 + 0.5 = 1.33\text{ppm/} \end{aligned}$$

これらの誤差が室温で任意の精度に調整できたとしても、100の温度変化に対するビット・スイッチは133ppm変化します。つまり、これらの仮定したトラッキング値が達成されたとしても、±1/2LSBの直線性を備えたDACを高い歩留りで製造することは困難です。

高精度デジタル/アナログ・コンバータの構成テクニックは、前述の誤差要因を高精度に制御するための設計、レイアウト、および製造技術者の能力に関係します。実際には±1/2LSBの精度で、-55 から+125 の範囲で動作する12ビットDACを製造することは可能であり、前に仮定したパラメータも実現可能です。

その他にも、出力インピーダンス誤差とスーパーポジション誤差の2つの誤差源がありますが、これらは設計段階で除去できます。出力抵抗はDACスイッチのカスケード特性により、次式で与えられます(図63参照)。

$$\begin{aligned} R_{OUT} &= (\beta)(V_A/I)(V_A = \text{アーリ電圧}) \\ &= (150)(200/10) \\ &= 3\text{Meg} \end{aligned}$$

ラダー・インピーダンスが250Ωであるため、出力抵抗による誤差は83.3ppmとなります。これは12ビット設計に必要な122ppm誤差以下です。スイッチがオフのときの値とオンのときの値に差があるため、出力抵抗は非直線誤差の原因になります。

検討すべき最後の誤差源はスーパーポジション誤差です。スーパーポジション誤差(重ね合わせ誤差)とはDACの出力が、入力コードにより選択されたビット電流の個々の重みの和と一致しない誤差を示します。スーパーポジション誤差には多くの要因がありますが、検討しているこのタイプのDACの最も一般的な原因の1つは、R-2Rラダーのリターン・ラインの抵抗によるオフセットです。

ターンオンするスイッチの数により、DACのオフセットが異なってくる様子を図64に示します。各ビットがターン・オンすると、オフセットはビット電流とラダーのリターン・ラインの抵抗

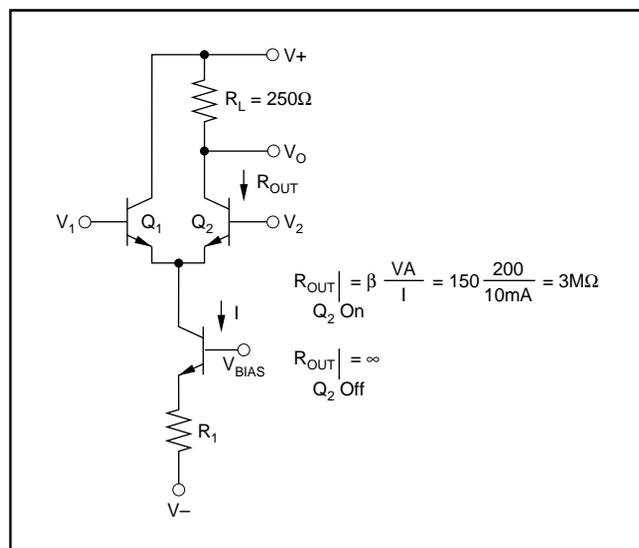


図63. R_{OUT}による誤差

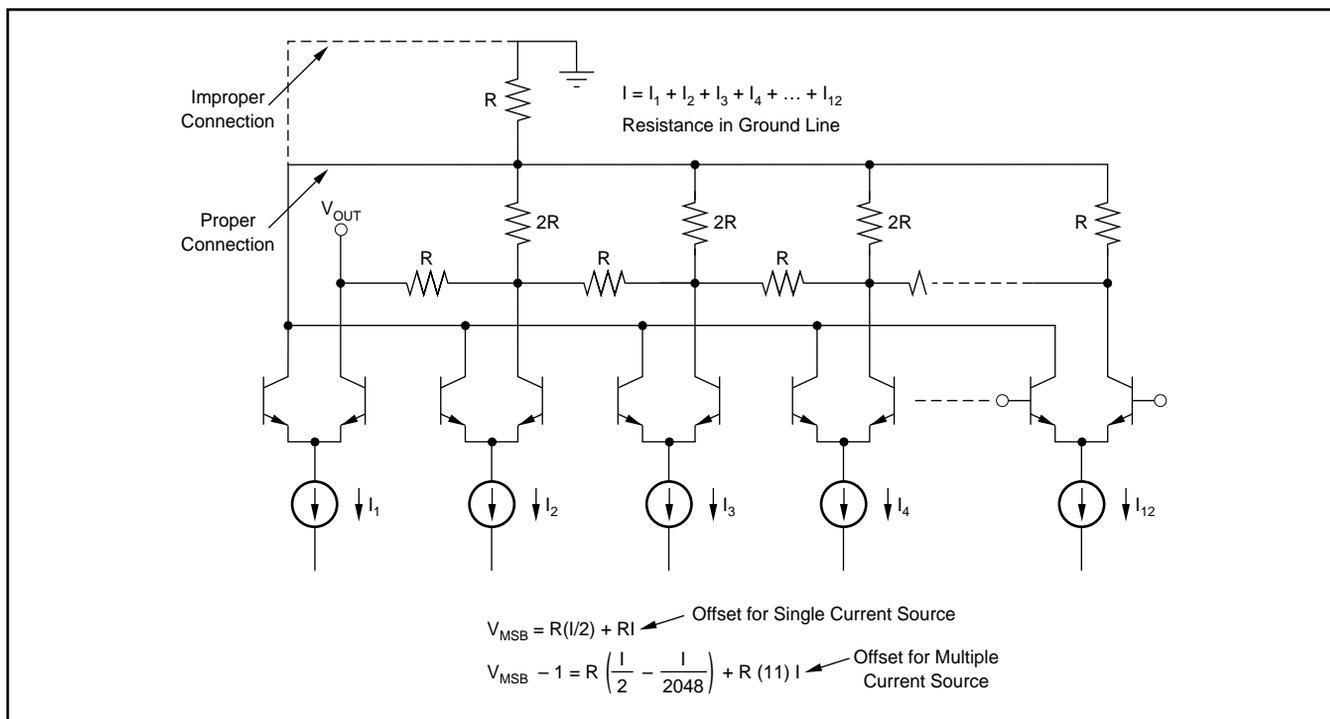


図64. スーパーポジション誤差

値を掛けた値に等しくなります。1つのビットがターン・オンしている限り、オフセット電圧は一定です。しかし、複数のビット・スイッチがターン・オンした場合、この誤差は一定になりません。例としてDACの入力コードがMSBからMSB-1LSBに変化する場合を考えます。MSBのみがターン・オンしている場合、オフセット電圧はMSB1個の電流源によって発生し、その値は $V_{\text{OFFSET}} = R_G \times I$ となります。しかし、MSBから1LSB低い値に変化した場合、オフセット電圧はMSBを除く11個の電流源により発生するため、 $V_{\text{OFFSET}} = R_G \times 11 \times I$ となり、MSBの場合に比べ11倍大きくなります。この影響はラダーのリターン・インピーダンスをできる限り小さくすること、および図64に示すように、ラダー側のリターンラインと、その反対側のカレント・スイッチ・トランジスタのリターンラインを同一点で接続することにより減少させることができます。この方法は、オフセット電圧をすべてのコードの組み合わせにおいて一定にする効果があります。DACが工場レベルで調整されるときに最大の精度を達成するには、ラダーの真のリファレンス・ポイントをセンスすることが大切です。

このデジタル/アナログ・コンバータは、フルスケール変化に対して±0.01%精度に約26nsで整定することができます。このセトリングタイムは主にラダー・インピーダンスと、出力ノードに累積される全容量で決まります。R-2Rラダー、オフセット抵抗、出力トランジスタ、および負荷容量は総計で約10pFになります。デジタル入力から実際の電流スイッチまでの伝搬遅延はおよそ3nsです。残りのセトリングタイムは、250Ωのラダー・インピーダンスと10pFのノード容量で形成される出力時定数による電圧セトリングによるもので、その時定数は2.5nsになります。±0.01%精度に安定するには $(2.5) \ln(1/0.01\%) = 23\text{ns}$ の時間が必要であり、デジタル伝搬遅延に電圧セトリングが加算されると、全伝搬遅延は26nsになります。高速高精度のセトリングタイムを実現するには、後で説明するいくつかの設計事情に注意する必要があります。リファレンスとサーボ・アンプの設計が不適切であれば、前に計算したDACの26nsの伝搬遅延が達成できなくなります。図

65にデジタル・コードの入力からビット電流の決定に至るまでの伝播経路を示します。

サーボ・オペアンプは出力に生じる容量結合によるトランジェントにตอบสนองし、セトリングするために25MHzから50MHzの帯域幅が必要となります。24ns以内に12ビット精度にセトリングするのは、単体の高速オペアンプでは達成可能ですが、DACの一部として組み込まれる簡易なオペアンプにとっては厳しい要求です。より現実的な方法は、基準電圧点に0.01pFキャパシタを接続し、トランジェントを吸収する方法です。このようにすれば安定に動作する低周波オペアンプを使用することが可能になります。

DACを構成するスイッチはユニポーラであり、DACの出力は通常グランドを基準として負電圧を出力します。柔軟性を最も大きくするには、バイポーラDACを使用することが望ましく、出力電圧を正方向に変換する必要があります。これは1.2kΩ抵抗を7.5Vの基準電圧に接続して行います。図65に電流オフセット用の低抵抗を絶縁するために使用される複合エミッタ・フォロワ・バッファを示します。このバッファはオフセット電流の変動と基準電圧源およびサーボ・アンプを分離する作用があります。この分離をより完全にするにはバッファとオフセット抵抗の接続点に0.01μFのキャパシタを付加することが有効です。

一般に、設計者はECL DACを使用することは考えません。しかし前述のDACはTTL DACに比べ優れた性能を持っています。簡単にいえば、ECLはTTLよりロジック遅延が低く、雑音が小さく、そしてECLデータ・レジスタのデータ・スキューも小さいからです。データ・スキューはすべてのデジタル入力が正確に同じ時間に変化しないときに発生し、 $T_{PD}(+)$ と $T_{PD}(-)$ の差で定義されます。 $T_{PD}(+)$ はパルス立ち上がり時の伝搬遅延であり、 $T_{PD}(-)$ はパルス立ち下がり時の伝搬遅延です。この現象の具体例として、12ビットDACに対するメジャー・キャリアの変化を検討します。MSBを中心に1LSB変化する場合、コードは理想条件では0111 1111 1111から1000 0000 0000に変化します。データ・スキューが存在する場合、すべてのビットが同時に変化することはなく、中

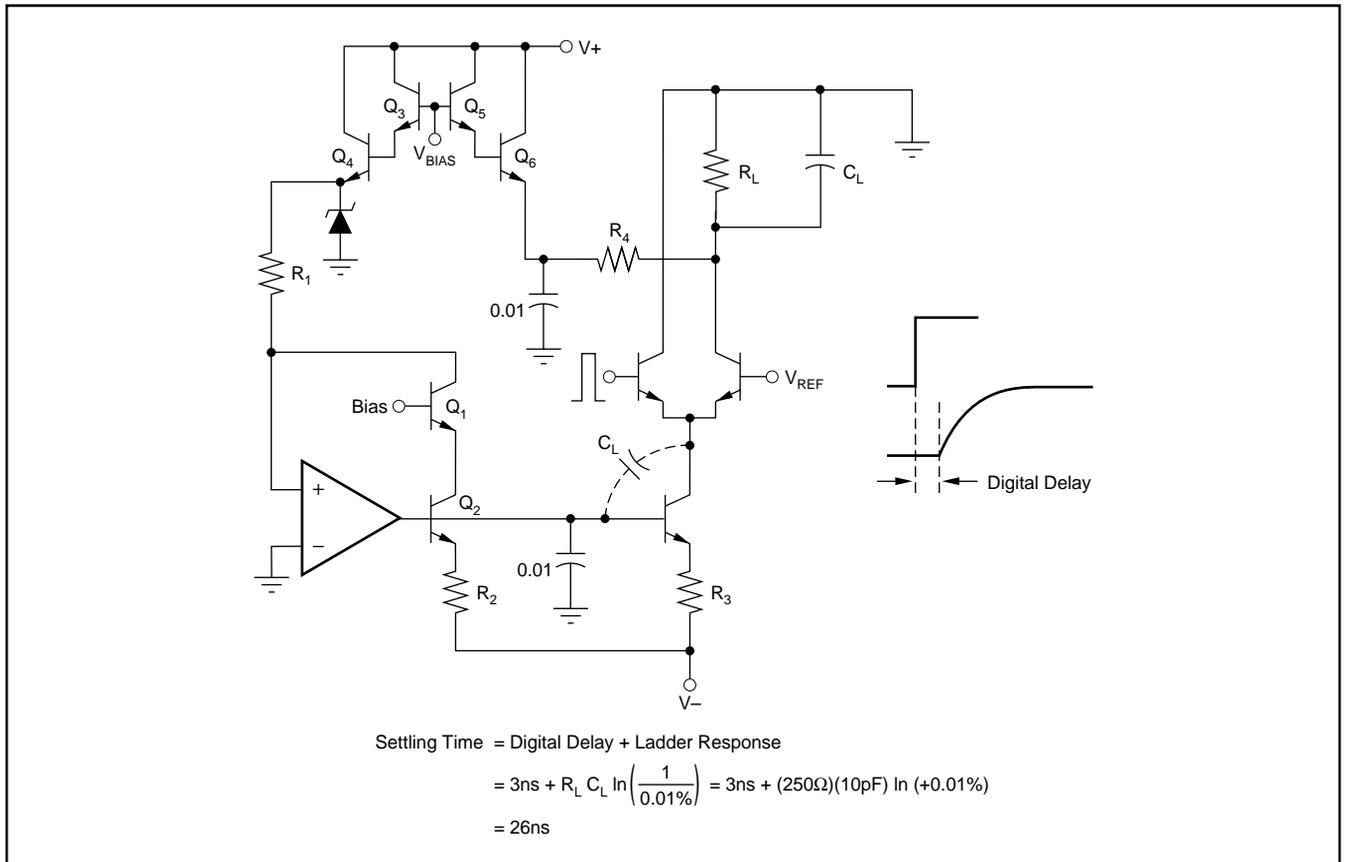


図65. セトリングタイム

間的なコードが存在します。MSBが残りのビットに比較して速く変化し、コードの遷移パターンが下記のような場合を検討します。

0111 1111 1111 1111 1111 1111 1000 0000 0000
 変化前のコード 中間コード 変化後のコード

図66を参照して下さい。データ・スキューを描いたタイミング図を表します。DACの入力コードは、前のコードから1LSBしか変化していないにもかかわらず、データ・スキューの間、DACは最大出力振幅に向かう電圧を出力します。データ・スキューによって形成されるこの大きなトランジェント波形は、DACの出力“グリッチ”と呼ばれています。グリッチを規定するためには、グリッチの面積をLSB-nsの単位で測定します。これはDACのフルスケール出力レベルに関係しないため、電圧振幅として定義される場合より有効なグリッチの定義方法です。

その上、DACの出力が低帯域幅アンプで処理されれば、グリッチの最大振幅は変化しますが、曲線の下面積は変化しません。DACのグリッチ応答が、データ・スキューと同じ幅で1/2フルスケールの振幅のパルスを仮定します。図67にグリッチの時間応答における面積が一定であることを示します。グリッチの時間応答を検討すると、グリッチの最大振幅がアンプの帯域幅に関係することがわかります。そのため、DACのグリッチ性能を定義する信頼性の高い方法は、ETが帯域幅に関係しないためET積、すなわちLSB-nsで表示することです。さらに注目すべきは、 $e_o(t)$ の平均値がETと等しく、アンプの帯域幅に関係しないことです。これが意味するものは、帯域幅が減少するに従って最大振幅は低下しますが、グリッチの影響が持続するということです。

ECLによるDACではTTLによるDACよりグリッチは小さいで

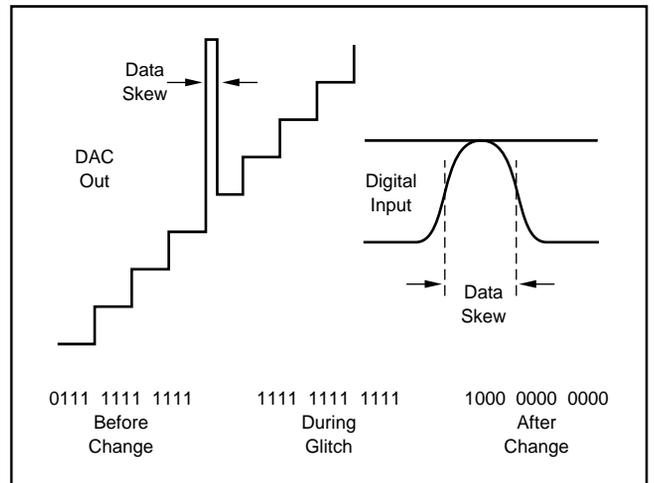


図66. スキュー

すが、グリッチをさらに下げなければならないシステムもあります。これらのアプリケーションでは図68に示すように、DACの次段にトラック/ホールドを接続します。トラック/ホールドがホールド・モードになってから、レジスタがクロックされます。レジスタがクロックされ、デジタル/アナログ・コンバータが安定すると、トラック/ホールドはトラック・モードに戻ります。多くのシステムでは、グリッチ応答の不均一特性によって歪と高調波が発生するため、実際にトラック/ホールドがDACより大きなグリッチを発生させても、グリッチはすべてのコードの組み合わせに対して一様であり、システム・レベルではコードに関する非直線性ではなく、オフセット、つまりゲイン誤差として現れます。

図69に精密な任意波形の発生に使用できる高速デジタル/アナ

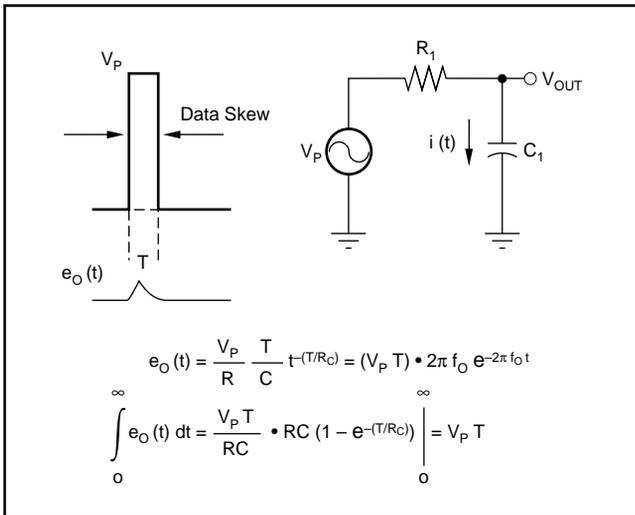


図67. グリッチ応答

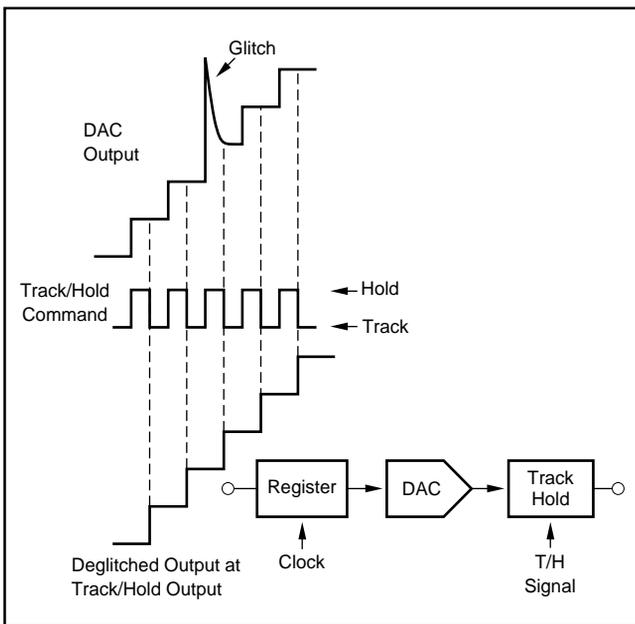


図68. デグリッチDAC

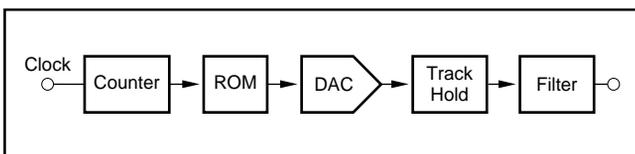


図69. 任意波形ジェネレータ

ログ・コンバータを使用したシステムを示します。これを低周波回路を使用して実現する方法はたくさんありますが、高速DACを使用すれば最適なシステムを実現することができます。高周波DACは50MHzの速度で更新する能力を持っているため、次段のアナログ・フィルタリング条件が大幅に緩和されます。波形が50MHzで高精度にサンプルされるため、最高25MHzのナイキスト速度の周波数成分を持つ波形を発生させることができます。任意の波形を発生させることは、アナログ/デジタル・コンバータによる信号のデジタル化の逆の操作であるため、同じサンプリングに関する考察が適用されます。図70に合成すべき任意のアナログ波形を示します。波形が一定周期でサンプルされると合成波形が

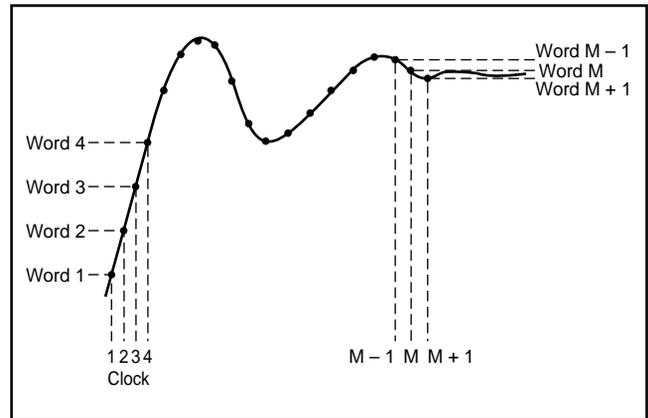


図70. 任意波形

発生します。合成手順は各サンプルに対する最も精度の高い12ビット近似的算術演算から成っており、ROMのエンコーディング表を構成するのに使用されます。

合成波形を発生させるシステムの簡略ブロック図を図69に示します。サンプル点はROMアドレスに対応し、ROM出力はこれらのアドレスの各出力の構成コードになります。

D. アナログ/デジタル・コンバータ 各種の高速ADCアーキテクチャ

この章では分解能、速度、および複雑さがアナログ/デジタル・コンバータの設計でどのように相互作用するかを理解するため、一般に使用されている高速アナログ/デジタル・コンバータの3つのアーキテクチャの性能の特長とトレードオフについて比較を行います。これら3つのアーキテクチャはその特長に応じて、基本回路構成に多くのバリエーションがありますが、市場に出荷されている大抵の高速ADCの基礎となっています。しかし、バリエーションを評価する前に、最も基本的な形式のアーキテクチャを理解することが大切です。各アーキテクチャにはそれぞれ異なる特長があるため、使用にあたって選択したアナログ/デジタル・コンバータの長所を最大限活かすには、それらを正しく理解する必要があります。

これから比較する設計の3つのタイプはフラッシュ型、逐次比較型、およびサプレジング型です。各変換方式には長所や短所があり、それらを明確に対比します。この章では各コンバータの優劣を精度、ダイナミック特性、アパーチャ効果、単純さ、およびコストに関して比較します。まず、それぞれのアナログ/デジタル・コンバータを説明し、次に各アーキテクチャの性能の特長を解説します。

フラッシュ型ADC

すべてのタイプの高速アナログ/デジタル・コンバータで最も高速で、なおかつ最も理解しやすいコンバータは、フラッシュ型、すなわち並列タイプのコンバータです。フラッシュ型コンバータは変換が1サイクルで行われるため、それが「フラッシュ」という名前の由来であり、最も高速なコンバータと考えられています。フラッシュ型コンバータの分解能は標準で8ビットですが、実験的な設計または高価な製品では10ビットまでの分解能が報告されています。フラッシュ型コンバータは設計の反復性が極めて高いため、モノリシック設計者にとって非常に魅力的です。フラッシュ型のブロック図を示す図71を参照して下さい。500MHzまで

の変換速度が実現されており、民生機器市場でも既に200MHzまでの変換時間を実現しています。パイボラ技術は最も高速な設計に使用され、CMOSでは最高30MHzの変換速度を実現しています。フラッシュ型コンバータの分解能は、分解能が1ビット増えるごとに回路点数が2倍になるため、8ビットに制限される傾向があります。入力コンパレータは「サーモメータ」コード形式に配置されており、各コンパレータのリファレンスは隣接したコンパレータの基準より1LSB高くバイアスされます。

それぞれのコンパレータの基準は、負および正の基準間に設置されている一連の直列接続した抵抗から供給されます。この一連の抵抗は単調に設計されていますが、フラッシュ型コンバータ全体では、コンパレータのオフセットにより単調性が保証されない場合があります。この状態は基準電圧が極めて低く設定され、したがって、コンパレータのオフセットが各基準の和である有効基準レベルより大きくなるときの起こる場合があります。図72にこのポイントを示します。LSBの重みが10mVの場合、 $\pm 1/2$ LSBの直線性を維持し、LSBの重みを5mV以内に抑えることにより、モノトニシティ(単調性)を実現することができます。コンパレータ出力は効率的なデジタル・コードに変換し、使いやすくしなければなりません。

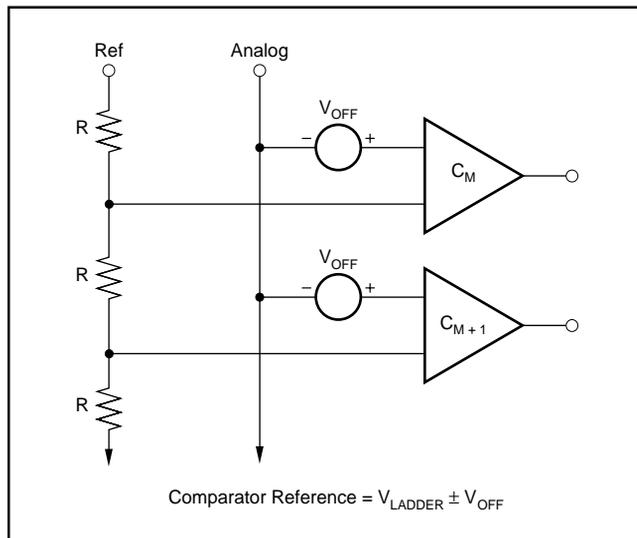


図72. コンパレータのオフセット

一般的な、サーモメータ・コードは便利なバイナリ出力に変換されます。フラッシュ型コンバータを設計する場合、高いサンプリング速度を実現するためにデジタル・パイプライン方式が採用されます。この方式には前回のバイナリ・コードを形成する前に、新規のサンプリングが行えるという利点があります。

フラッシュ型コンバータによく使用されるコンパレータの設計は、スタンド・アローン型コンパレータの設計と比較するとその様相がいくぶん違います。コンパレータの入力段はトラック・モードで低ゲイン状態に、またホールド・モードに移行すると高ゲイン状態となるように構成されており、このホールド状態ではサンプリングの行われたときの2入力の比較結果が保持されます。サンプリングはストロブ・パルスによって正帰還が開始されると実行され、それによって再生動作が行われ、つぎにコンパレータの出力が入力状態に基づいて設定されます。この設計方法で、高分解能フラッシュ型コンパレータを実現する場合は、回路を単純にする必要があります。図22にフラッシュ型ADCの標準的なコンパレータ段の回路図を示します。

前述のとおり、CMOS技術は変換速度が20MHzまでの低消費電力フラッシュ型コンバータに使用されます。

CMOSコンパレータの欠点の1つは、そのオフセットがパイボラ・コンパレータと比較して極めて高いことです。“オート・ゼロ”技術を使用すると、低オフセット・コンパレータを実現することができます。図73にオート・ゼロ・コンパレータの回路図を示します。オート・ゼロ・コンパレータの設計はCMOSのインピーダンスが高いため、CMOSで設計するのが有利です。オート・ゼロ・コンパレータは、変換時間の一部ではオート・ゼロ・モードに、また残りの時間では測定モードにして動作させます。オート・ゼロ・モードで動作しているときは、入力結合コンデンサがコンパレータのオフセットまで充電します。したがって、コンパレータが測定モードに戻ると、コンデンサの電圧は未補償コンパレータのオフセットを打ち消すように発生します。

ダイナミック性能は、あるフラッシュ型コンバータの性能を別のコンバータの性能と区別する1つの領域です。ダイナミック性能はフラッシュ型コンバータがどのようにして高周波信号の高精度デジタル化を可能にするかの尺度です。これにはユーザがアパーチャ・ジッタ、アパーチャ遅延歪、および入力帯域幅が全シ

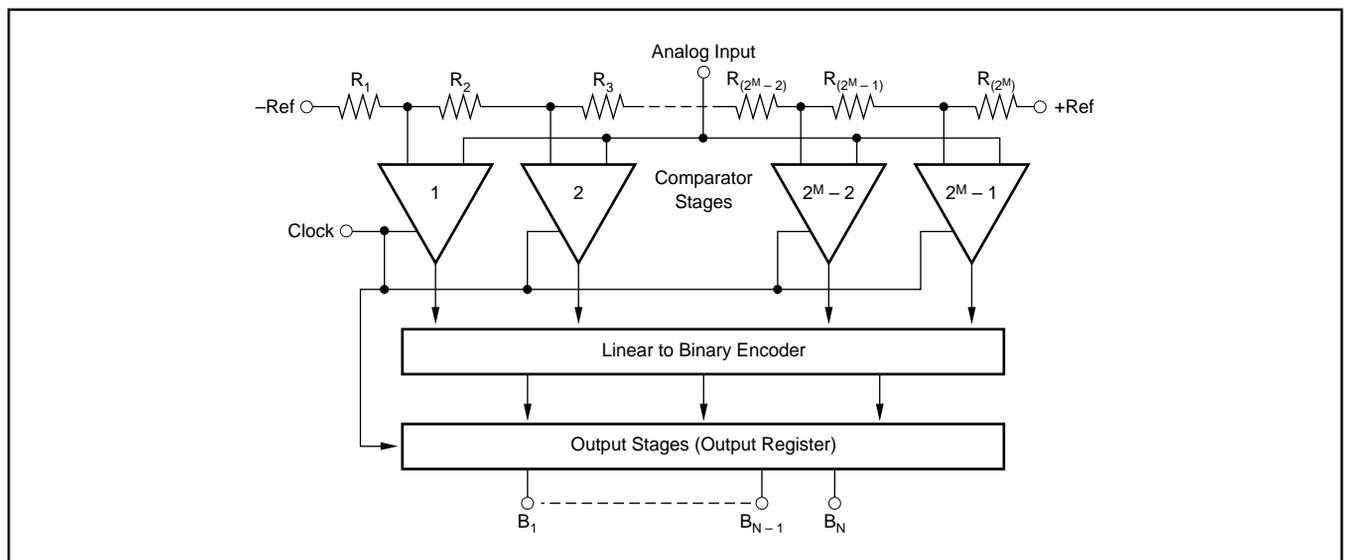


図71. フラッシュ型エンコーダのブロック図

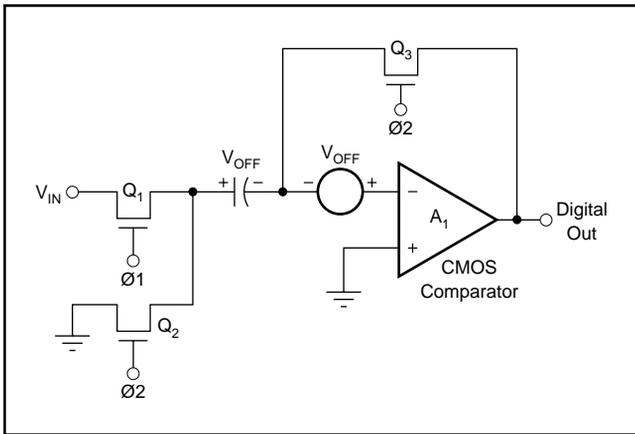


図73. オートゼロ・コンパレータ

システム性能にどのように影響するかを理解する必要があります。入力帯域幅は、その仕様が帯域幅の制限されたデバイスの仕様と類似しているため、容易に理解されます。フラッシュ型コンバータの入力帯域幅は、別々に規定しなければならない小信号および大信号成分から成っています。場合によっては大信号帯域幅が直接規定されていないことがあります。入力スルーレートから決定することができます。フラッシュ型コンバータの入力容量は高くなる場合があります。したがって、高い帯域幅を実現するには、エンコーダを低インピーダンス源で駆動する必要があります。

フラッシュ型コンバータの高周波性能を制限するもう1つの現象はアパーチャ時間です。アパーチャ時間は、コンパレータのデジション・ポイントまでに必要な時間として定義されています。アパーチャ時間は、実際には比較される信号を処理する経路の遅延と、ストロブを処理する経路の遅延の差です。フラッシュ型コンバータ内の各コンパレータのアパーチャ遅延が異なると、重大な歪の発生要因となる場合があります。

この影響の具体例として、わずか1LSBの誤差だけで信号をナイキスト速度でデジタル化するには、8ビット、200MHzのフラッシュ型コンバータのアパーチャ遅延をどの程度精密にマッチさせる必要があるかを検討します。アパーチャ誤差は次式で与えられます。

$$T_A = E_n / (D_{Fs} / D_T)$$

ただし、

$$T_A = \text{アパーチャ・タイム}$$

$$E_n = \text{許容雑音} = 1\text{LSB}$$

$$F_s = \text{信号の周波数}$$

$$D_{Fs} / D_T = \text{信号の最大変化率} = (2^N)(\text{LSB})(7)(F_s)$$

代入すると下記の値が得られます。

$$T_A = \text{LSB} / (2^N)(\text{LSB})(\pi)(F_s)$$

$$= 1 / (256)(\pi)(100\text{E}6) = 12.5\text{ps}$$

各コンパレータの有効なアナログ帯域幅が1GHzの場合、各コンパレータ段の伝搬遅延は100psから200psの範囲内にあります。したがって、精度を維持するためには、各コンパレータの遅延を12.5psでマッチさせる必要があります。フラッシュ型コンバータはその長さを容易に250ミルの大きさに製作できるため、信号は400psでチップ長を伝播します。許容可能な高速性能を実現するには、チップの物理的レイアウトが極めて重要になります。

大抵のアナログ/デジタル・コンバータの高周波性能は、サン

プル/ホールドで入力信号を処理すると向上させることができます。これはフラッシュ型エンコーダ内の各コンパレータの時間遅延がマッチしないためにアパーチャ歪が発生する場合も同様です。サンプル/ホールドでは1個のスイッチしか使用していないため、構成されたシステムのアパーチャ性能が向上します。アパーチャによる歪の存在を確認するために使用できる方法の1つとしては、FFTを行ってADCのスペクトル応答を観測する方法があります。スタティック精度による歪の要因を除去するために、まず最初に低周波で観測を行います。アパーチャによる歪は周波数の増加に従って増加する歪の成分です。サンプル/ホールドが必要でないときでも、アナログ信号とフラッシュ型エンコーダとのインターフェースを慎重に検討する必要があります。入力容量と入力抵抗の両方は信号レベルに応じて変化するため、オペアンプまたはバッファのいずれかから供給できる低インピーダンス源で、これらのタイプの高速コンバータを駆動することが重要です。大容量負荷特性のフラッシュ型エンコーダを駆動しなければならないときは、高速オペアンプが発振しやすくなるため、この方式を採用することは困難になります。高速オペアンプおよびバッファは低抵抗負荷が駆動できるので、両者の間に小抵抗を設置すれば、容量性負荷を駆動源からデカップリングすることができます。抵抗はバッファから見たインピーダンスを抵抗性にする効果を持っているため、発振状態を回避することができます。抵抗値を10Ωから50Ωに設定すると、システム帯域幅への影響が最も小さくなります。本アプリケーション・ノートの最初の部分に、フラッシュ型エンコーダとのインターフェースに適した多くのバッファおよびアンプが記載されています。図74を参照して下さい。結合抵抗による駆動源の安定化方法が示されています。

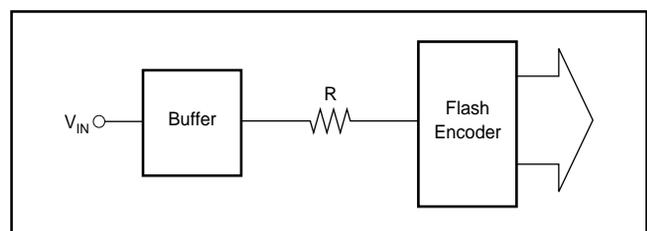


図74. フラッシュ型エンコーダを駆動するバッファ

図75に示すように2個のエンコーダを重ねると、フラッシュ型エンコーダの分解能を簡単に高めることができます。この方式で二段重ねにした2個のエンコーダは、2個の独立したエンコーダのアパーチャ遅延をマッチさせることが困難なため、アパーチャ性能が低下します。これはスタック型フラッシュ・エンコーダをサンプル/ホールドで駆動すると改善することができます。

前述のとおり、フラッシュ型コンバータの分解能は一般に8ビットより大きくありません。コンバータの分解能を1ビット増加しなければならないときは、回路の大きさが2倍になります。したがって、8ビット・コンバータと同じ速度で動作する10ビット・コンバータは、大きさが4倍に、また消費電力も4倍になります。設計者がチップ・サイズを小さくするために、形状の小さなデバイスを使用しようとするとき問題が生じます。小さなデバイスを使用すると精度が低下し、したがって、10ビットのフラッシュ型コンバータ設計が実現できない場合があります。同様に、チップの消費電力を下げようとするとき速度が低下します。

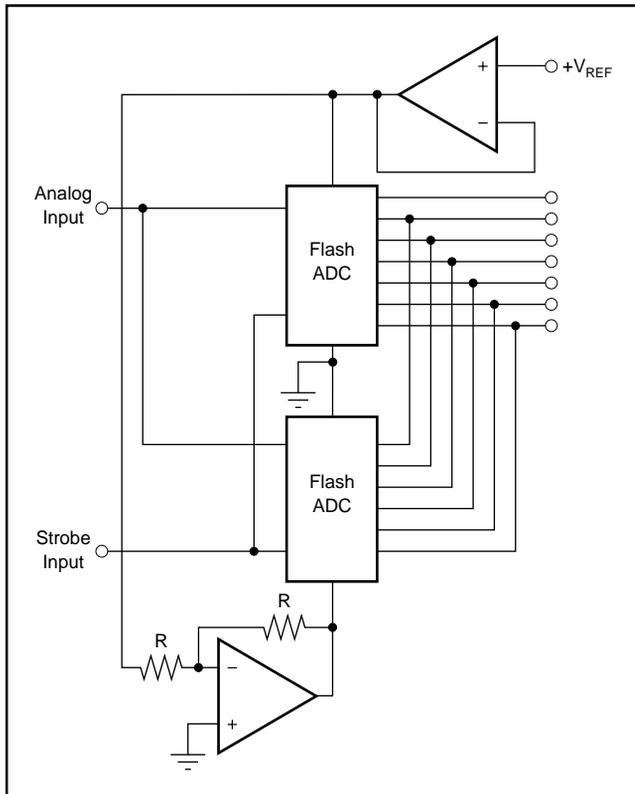


図75. スタック型フラッシュ・エンコーダ

逐次比較型ADC

アナログ/デジタル・コンバータ設計に使用されている最も一般的なアーキテクチャの1つは逐次比較です。逐次比較はこのタイプの設計では最も高い性能/コストを実現できるため、高い人気を得ています。図76に逐次比較型ADCのブロック図を示します。ブロック図からわかるように、回路設計は簡単であり、デジタル/アナログ・コンバータや逐次比較ロジックと共に1個のコンパレータを使用します。前述のコンパレータとデジタル/アナログ・コンバータは、逐次比較型ADCの適切なサブ・アセンブリの役割を演じます。このタイプのアーキテクチャを採用した設計は、性能が分解能に対しては8ビットから16ビットまで、また変換速度に対しては400nsから25 μ sまで幅広く使用されています。

ハイブリッド、ディスクリート、およびモノリシック技術のすべてがこのタイプのコンバータの製造に使用され、高性能用としては主としてハイブリッド設計が使用されています。最近ではモノリシック設計が広く使用されていますが、昔はハイブリッド技術で設計されたコンバータが大部分でした。現在ではモノリシックで12ビットの分解能と3 μ sの変換時間の性能レベルが実現でき、1 μ sの変換速度もモノリシックで達成されつつあります。これら単一チップ12ビットADCではバイポーラ、CMOS、およびBiMOSが設計に利用されています。BiMOSではCMOSおよびバイポーラ技術の両方の特長を利用することができます。BiMOSプロセスでは同じプロセスに2つの技術が盛り込まれています。CMOSは極めて小さな消費電力の高速ロジックを実現するのに最適であり、バイポーラ技術はADCのアナログ部に必要な低雑音および高速性を実現するのに適しています。

これらのタイプのコンバータに関する最近の進歩は、モノリシック・コンバータに、またはロジック機能をハイブリッド設計に盛り込むのに、CMOS技術が導入されていることです。CMOSは消費電力やカレント・ドレインがバイポーラ・ロジックより低く

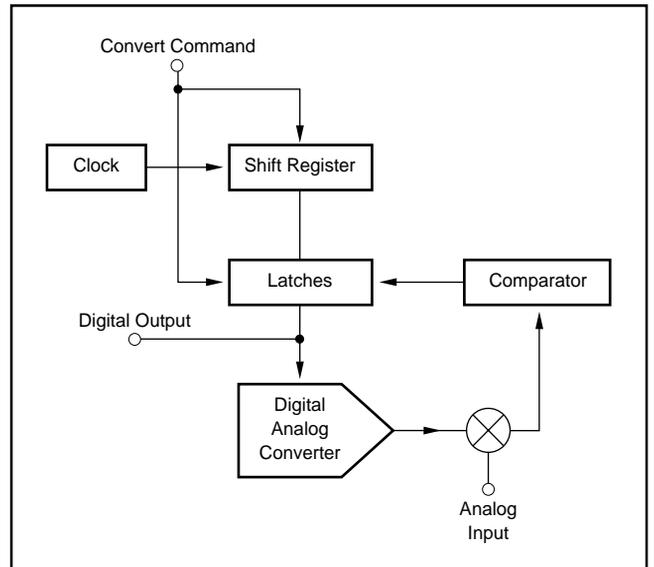


図76. 逐次比較型ADCのブロック図

なるため、CMOS技術が導入されることは極めて重要な発展です。消費電力が低いため温度上昇が低くなり、信頼性が向上し、そしてウォームアップや温度ドリフトに関する問題も少なくなるため、これら2つの特長はシステム・ユーザにとって重要です。カレント・ドレインが低下すると、アナログとデジタルの共通した電流経路による雑音が低減するため、システム精度が向上します。現在のところでは、逐次比較型ADCに内蔵されるデジタル/アナログ・コンバータは、主にR-2Rラダー方式が使用されています。最近ではCMOSを使用した電荷配分方式のDACを使用した設計も行われています。これらの新CMOS設計は誤差補正や自己較正が可能であるため、バイポーラ・コンバータに比べ時間に対してより大きな安定性を実現することができます。これはCMOSを使用すると、誤差補正機能を実現するのに必要な高い回路密度が実現できるためです。

逐次比較プロセスは変換開始パルスで開始され、最上位ビットを「オン」状態にセットし、残りの最下位ビットを「オフ」状態にセットします。デジタル/アナログ・コンバータの出力は、コンパレータの入力の1つに送られます。コンパレータのもう1つの入力にはデジタル化されるアナログ信号が供給されます。デジタル/アナログ・コンパレータを安定させるために適切な時間が経過してから、コンパレータの出力がラッチに読み取られ、ビットをオンまたはオフに保持するかを決定します。入力信号がMSBの重みを越えると、ビットをオンに保持するように判断します。次の試行期間ではビット2がオンに切り替わり、次に最初の比較結果に加算されます。信号がMSBより大きく、MSBとビット1の和より大きくなければ、MSBがオンになり、ビット1はオフになります。この1つ以上のビットの加算やコンパレータの状態の試験は、デジタル/アナログ・コンバータの全てのビットで行われるまで続きます。図77にこのプロセスを示します。図78に逐次比較変換サイクルのタイミング図を示します。従来の逐次比較アルゴリズムにデジタル補正機能を追加した製品も実用化されています。通常の逐次比較アルゴリズムでは、12ビット精度を実現しようとする場合は、全ビットを12ビット精度で変換する必要がありますが、デジタル補正を使用した場合、最初の8ビットを僅か8ビットの精度で変換し、デジタル補正によりこの8ビットを12ビット精度に補正することが出来るため、従来の逐次比較と比較

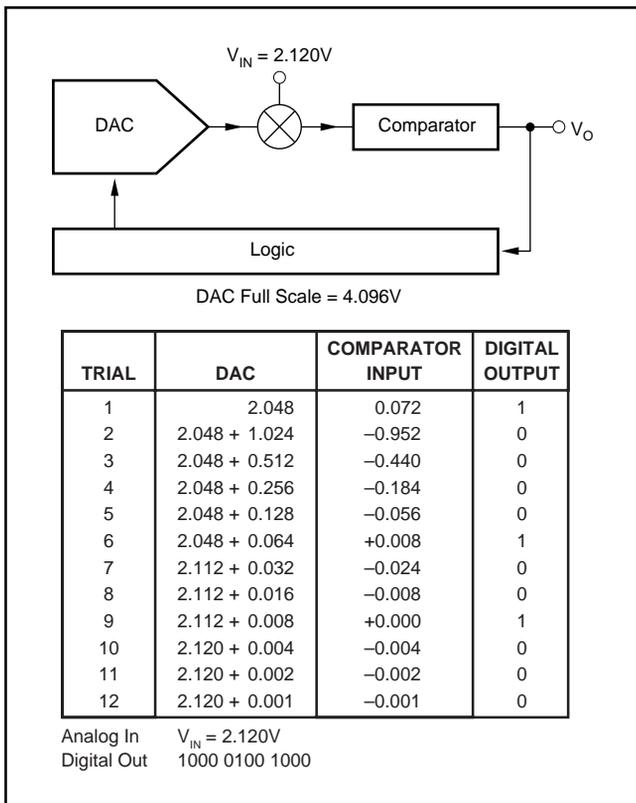


図77. 逐次比較プロセス

すると早いサンプリング速度で動作させることが可能です。

逐次比較はその設計が単純なため、幅広く人気を得ています。ADCの直線性はデジタル/アナログ・コンバータの直線性にだけ関係しますが、一般には、これが他のADCアーキテクチャでは当てはまりません。全オフセット誤差はコンパレータのオフセットによって決まりますが、直線性誤差はフラッシュ型コンバータの場合のように、コンパレータのオフセットには関係ありません。

高精度デジタル/アナログ・コンバータを製造するプロセス技術が高度に発達しており、逐次比較型コンバータに直接役立っています。これらのDACを利用したADCは広い温度範囲で動作できます。一般に、逐次比較型ADCは別の技術と比較して広い温度範囲で動作でき、200でも動作させることができます。後で説明するように、サブ・レンジング・アナログ/デジタル・コンバータでは直線性を劣化させる別の誤差源が加わります。逐次比較型コンバータではコンパレータが1個しか存在しないため、DACやコンパレータに多くの電力を供給して全変換時間を減少させることができます。さらに、逐次比較型コンバータは本質的にシリアル形式の変換出力を生成します。シリアル出力の特長は、デジタル伝送を経済的に行うために有利です。また、これは光絶縁に適しており、処理システムのアナログ部およびデジタル部間の相互作用を低減させるのに役立ちます。この設計では、DACだけが最終精度に安定しなければなりません。これはサブ・レンジング方式では成り立ちません。変換速度が達成可能な範囲の場合は、逐次

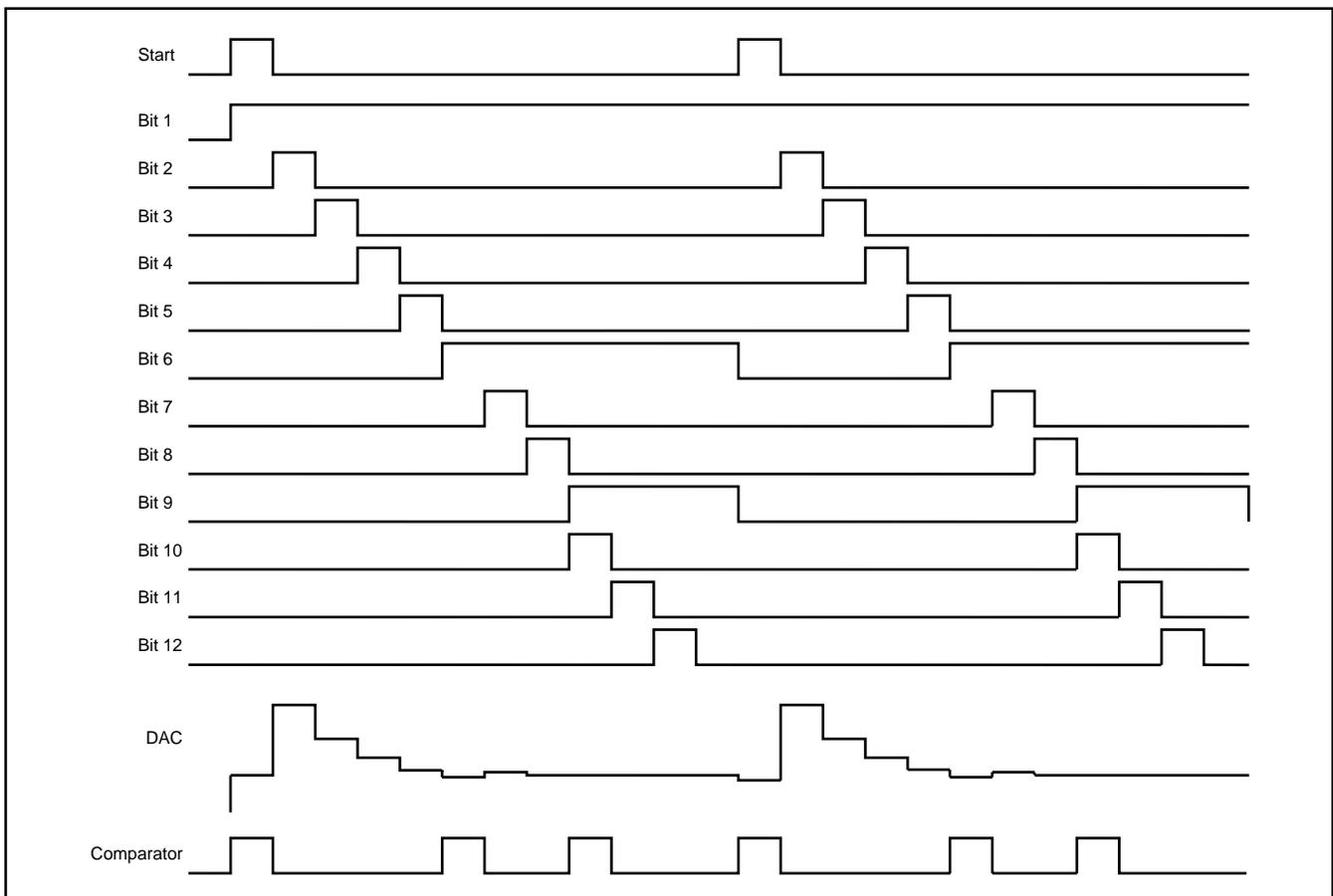


図78. 逐次比較型コンバータのタイミング図

比較アーキテクチャは最もコスト・パフォーマンスの優れた方式です。逐次比較のもう1つの優れた特長は、速度と精度がトレード・オフできることです。

DACが高速で安定せず、コンパレータを急速に切り替えるためにはオーバドライブしなければならないため、精度がだいに低下します(図79参照)。このトレード・オフは徐々に起こってくるため、設計者は精度を適度に犠牲にすると、いつでもシステムのスループット・レートを増加させることができます。比較している別の2つのアーキテクチャでは、精度が指定した変換速度を越えると急激に低下するため、このトレード・オフが不可能になります。図80に逐次比較型ADCでは一般的なこの特性を示します。

逐次比較型ADCでは、アパーチャ時間が変換時間になります。これは変換が行われる間、信号を一定に保持する必要があるためです。このようにしないと、大きな直線性誤差が発生します。これは比較している別のタイプのコンバータの場合と同様、基本的には変換が一瞬の間に行われないうちに起こります。

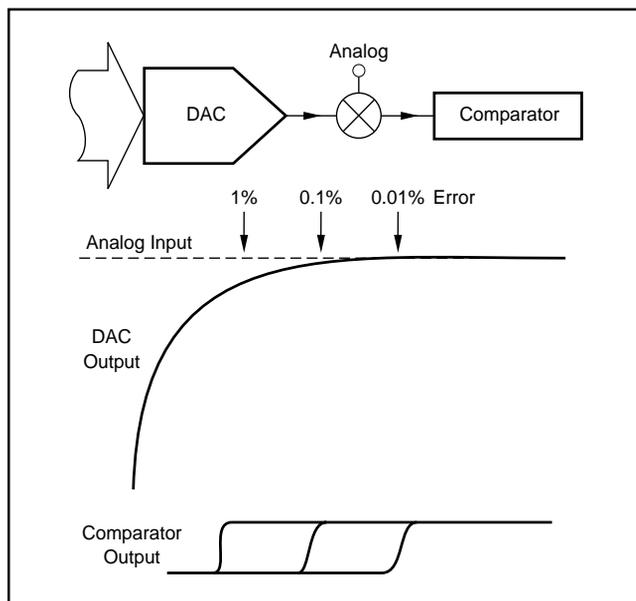


図79. 速度対精度

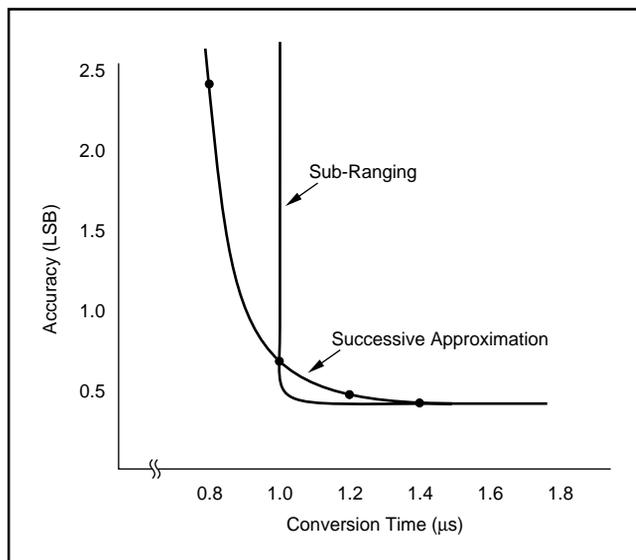


図80. 速度対精度

したがって、デジタル化すべき信号を、ADCではなくサンプル/ホールドで処理することが必要になります。これは入力信号が急激に変化しているかどうかにもよります。サンプル/ホールドはADCが変換を行っているときは、信号を一定に保持しなければなりません。したがって、ADCはコンパレータ入力の信号変化のみに影響されますが、コンパレータは一般に急速な回復時間を持つことができます。

起こる可能性の高い誤差源で検討しなければならないのは、コンパレータが入力範囲の一端で変換しているときに、信号がその範囲の反対の端に変化する場合です。コンパレータが適切に設計されていない場合、アナログ/デジタル・コンバータには熱によるオフセットが発生するため、熱的に釣り合うまで複数の変換に対して同一の結果を得ることができません。システム設計において、サンプルからホールドまでのセトリングが誤差源となる可能性があるため、これを速やかに安定させる必要があります。つまり、入力信号が変換サイクル時間の間、一定でなくなるからです。

逐次比較型コンバータの章を終える前に、アプリケーション上の問題について説明します。コンバータが変換サイクルに入ると、DACで発生するトランジェント波形が信号源に印加される可能性があります。DACの値はロジックでプログラムされるため、コンパレータ入力の加算点が平衡せず、信号が誤差源に加わります。したがって、高速逐次比較型ADCを手頃なセトリングタイム性能を持つ信号源で駆動することが大切です。そうでなければ、規定の直線性性能は実現されません。コンパレータを同相モード構成で使用すると、コンパレータの同相モード機能によってDACが入力から分離されるため、この問題を緩和することができます。図81を参照して下さい。

サブ・レンジングADC

検討すべき最後のアーキテクチャはサブ・レンジング、あるいは2ステップ方式です。この2つの名前は、これらのタイプのアナログ/デジタル・コンバータを表わしています。

逐次比較で実現できる変換速度より速い変換速度を高分解能で実現することが必要な場合、設計者はサブ・レンジング・コンバータを使用することを検討します。たとえば、1 μ sより高速な変換速度で12ビットの分解能が必要なときは、システム設計者は2ス

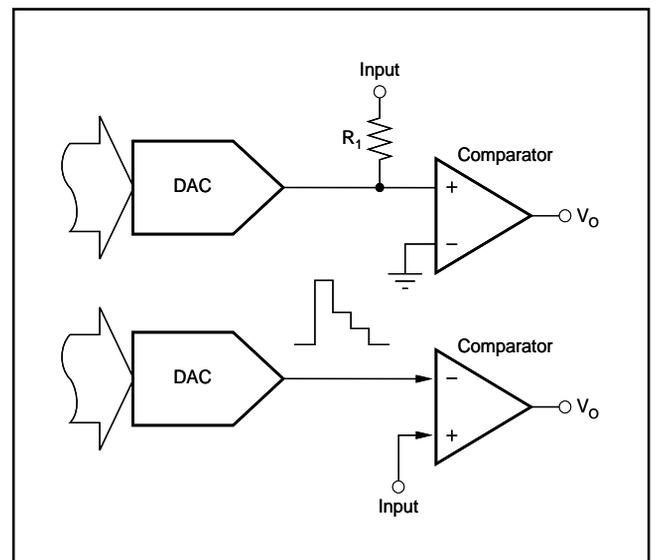


図81. SAR ADC入力

テップ方式を選択します。この逐次比較とサブ・レンジングの選択の分岐点は、要求される分解能が低ければいくぶん違ってきます。10ビット性能では逐次比較を使用すると、0.5 μ sより低い変換速度が実現できます。

サブ・レンジングでは、前述の設計技術の2つの要素が組み合わされます。サブ・レンジング設計を行うにはモノリシックからモジュラーなど、すべての技術が利用されます。フラッシュ型コンバータでは、わずか1変換サイクルが必要なだけで、2^N個のコンパレータが必要になります。逐次比較型コンパレータでは、わずか1個のコンパレータを使用しますが、N回の変換サイクルが必要になります。サブ・レンジング・コンパレータは、Nビット・コンパレータでN/2ビットのフラッシュ型コンバータの2サイクルを使用するため、2つのコンバータを合成したものです。たとえば、10ビットのフラッシュ型エンコーダでは1023個のコンパレータを使用するのに、逐次比較型では1個のコンパレータを使用し、サブ・レンジング設計では62個のコンパレータを使用します。検討すべきサブ・レンジングADCでは、わずか2つのレンジ、つまり変換サイクルを使用することに注意して下さい。一般に2つ以上のステップが使用でき、それらの方式は高分解能コンバータによく見られます。動作原理は類似しているため、わかりやすいように2ステップ・バージョンだけを説明します。

図82のサブ・レンジング・コンバータのブロック図を参照して下さい。アナログ信号はアパーチャの影響を除去しAC性能を適性化するため、まずサンプル/ホールドに送られます。次に、サンプル/ホールドの出力は、Mビットのフラッシュ型エンコーダと引き算器に送られます。サンプル/ホールドが信号を収集し、次にサンプルからホールドのトランジェントが減衰すると、初段のエンコーダがストローブされます。初段のエンコーダのデジ

タル出力はデジタル/アナログ・コンバータに送られ、そこでアナログ形式に逆変換されます。次に、この信号はサンプル/ホールド出力から差し引かれます。引かれた信号は増幅されてからLビットの分解能を持つ次段のエンコーダに供給されます。エンコーダ出力が最終出力ワードが形成されるデジタル加算器に転送されるごとに、次段のエンコーダもストローブされます。

サブ・レンジング設計を正常に動作させるには、(M + L) > N の条件を満足させる必要があります。これらの冗長ビットを使用して、内部で発生した誤差をエンコードします。この誤差は単純なアルゴリズムで補正できます。図83でサブ・レンジング・コンバータ内のデジタル補正動作を説明します。ここで示した単純な解析結果により、誤差補正を行ったADCの出力がMSBエンコーダの誤差を含んでいないことがわかります。これはMSBコンパレータの精度が8ビットであっても、12ビット精度が実現できることを意味します。その出力はLSBエンコーダの誤差だけを含み、これは前段のアンプのゲインで減少されます。単純にするため、DAC誤差は図83から排除してあります。DAC誤差はDACの精度が極めて高いものと仮定しているため、解析から除去しました。

高速DACでは14ビットの精度が実現できます。したがって、これは適切な仮定です。デジタル補正のもう1つの魅力的な特長は、サンプルからホールドまでのセトリング誤差が補正できることです。逐次比較型コンバータの場合は直線性誤差が発生します。サンプルからホールドまでのセトリング誤差はMSB誤差の一部に含まれます。したがって、低分解能エンコーダから引き出されたMおよびLビットのラインはデジタル加算器で合成され、最終的な出力ワードを形成します。合成は高いスループット・レートを維持するため、次のデータ・サンプルが行われている次の変換サイクルで行われます。

加算器、レジスタ、およびタイミングは一括してまとめられ、

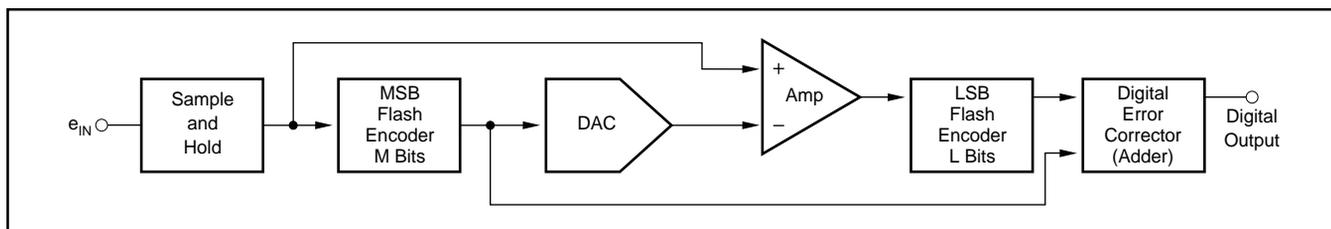


図82. サブ・レンジングADCのブロック図

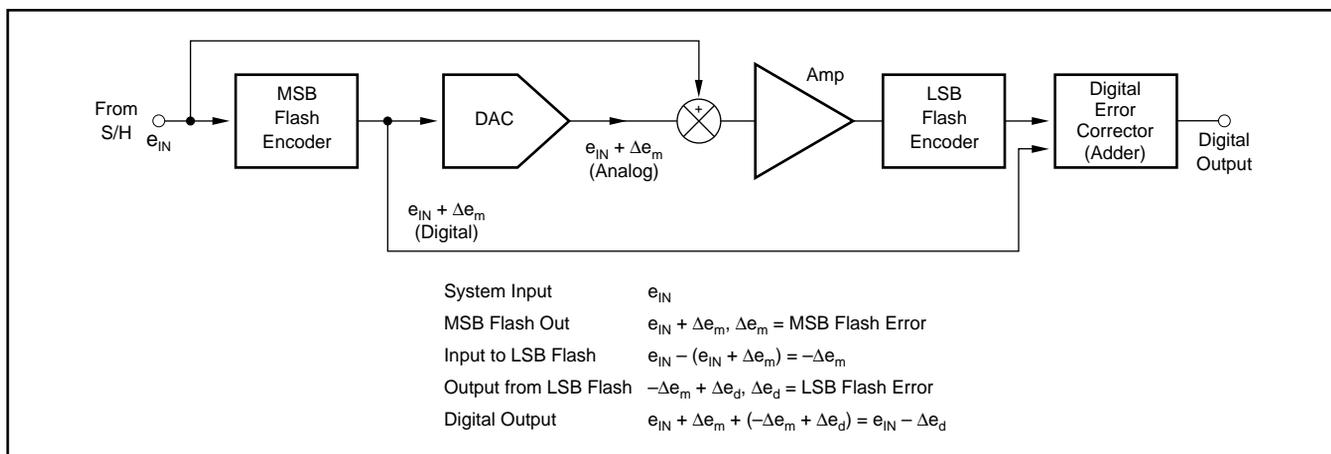


図83. 誤差補正

単一コンパレータ設計における逐次比較型レジスタと同じ役割を果たします。サブ・レンジング・コンパータは、20MHzのサンプリング速度で12ビットの分解能を実現します。

E. テスト技術

データ収集および変換システムを構成する多くの部品の性能を評価する方法はたくさんあります。一般には説明されない場合が多いですが、評価結果を得るのに有効な数種のテスト技術について検討します。他の技術文献では説明されていても、本アプリケーション報告では記載していない技術もあります。

セトリングタイム

DACまたはアンプのセトリングタイムを評価するのに最も有力な技術は、試験される波形をデジタル化することです。波形は一度デジタル化されると、コンピュータを使用することができ、ソフトウェア・ルーチンを使用して試験されるデバイス性能を評価することができます。波形のデジタル化はコンピュータの多機能性により、ハードウェアを使用した計測より優れています。波形が一度デジタル化されると、波形の特性は同一のハードウェアにより解析できます。図84はデジタイザのブロック図です。試験される波形はコンパレータの反転入力に供給されます。コンパレータのデジタル出力は、オペアンプによって積分されてから入力に帰還されます。図85はサンプリングすなわちデジタイズ・プロセスの図です。図85に示すサンプルされた波形は元の信号をデジタイズした波形をそのまま図解したものです。実際の試験では、サンプリングは高い精度を実現するために、もっと短い間隔で実行されます。試験される波形のサンプリングは、積分器帰還によってコンパレータの基準入力にサンプルされる入力信号の値と一致するまで、コンパレータを選択した時間周期で反復してストロブしながら実行されます。ループが安定すると、この値がDVMに読み取られ、コンピュータに送られます。次に、サンプルはプログラム可能なディレイにより、コンピュータによってインクリメントされます。

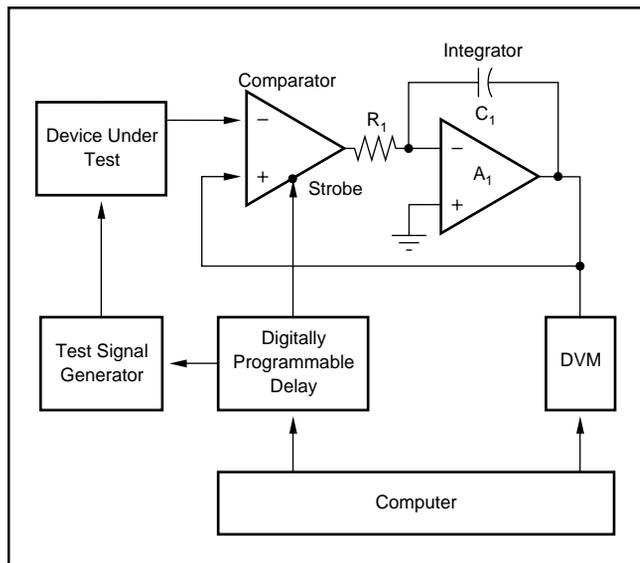


図84. 波形デジタイザ

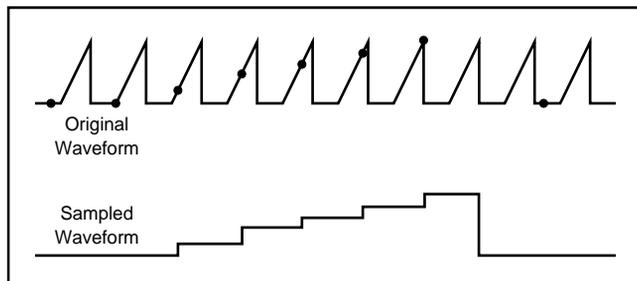


図85. 波形のサンプリング過程

アパーチャ・ジッタ

ADCすなわちサンプル/ホールドのアパーチャ・ジッタは、図86に示すブロック図により測定されます。このシステムでは、付加される遅延が受動部品である遅延線によるものであるため、計測に起因したジッタによる誤差が発生することはありません。サンプリング信号がサンプルされる信号の場合、計測による雑音は測定に影響することはありません。

遅延は一度調整されます。したがって、信号の最大変化率がサンプルされる場合、そのアパーチャ・ジッタ T_A は下記の関係式で決まります。

$$T_A = E_n / (dV/dt)$$

ただし、

E_n = 測定される雑音、
(dV/dT) = 入力の変化率です。

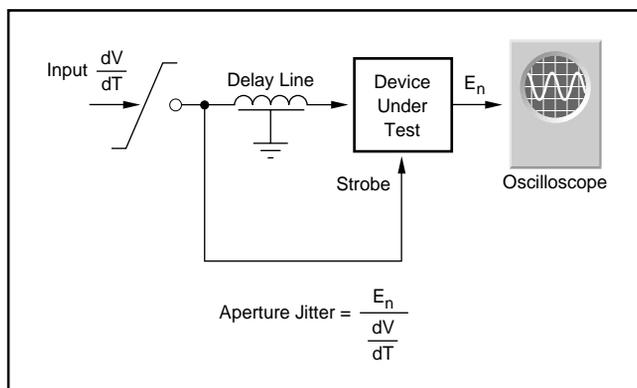


図86. アパーチャ・ジッタの測定

ビート周波数試験

ビート周波数試験は定性的な試験であり、ダイナミックADC性能を迅速かつ単純に見ることができるように表示できます。図87にビート周波数試験を行うのに使用されるブロック図を示します。入力周波数はワースト・ケースの変化が実現できるように選択します。これは通常ナイキスト速度の場合に起こります。“ビート周波数”という名前は、試験の特徴を表しています。サンプル周波数は入力周波数の整数倍 + 微小増分周波数となるように選択します(図88参照)。低ビート周波数を選択すれば、DACのダイナミック性能が測定精度に影響することはありません。ブロック図ではナイキスト速度で評価できるように、ADCの出力がデータ速度の1/2で再サンプルされます。ビート周波数は多くの

サンプルが、各コードで獲得できるように設定されます。ビート周波数試験はFET測定、およびヒストグラム試験など高周波性能を決定するための精度の高い方法の代用品としては使用できませんが、プロジェクトの開発段階においてダイナミック性能を簡単に評価するための極めて有効な方法を提供してくれます。設計技術者は回路の欠陥を指摘するのに、オシロスコープを介して瞬間的に目に見えるフィードバックを行うことができます。このタイプの因果関係は、複雑なコンピュータ指定の試験を使用して評価することは容易ではありません。パー・ブラウンではADC性能を評価するための、その他多くの動作試験を解説したアプリケーション・ノートANJ-1068を用意しています。

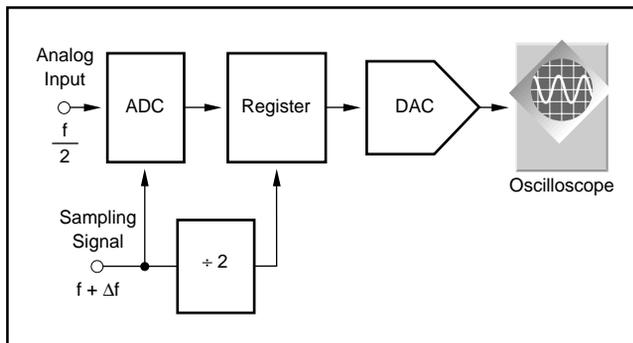


図87. ビート周波数測定装置のブロック図

サーボ・ループ試験

図89に、アナログ/デジタル・コンバータのゲインやオフセットと共に、DC直線性および微分直線性を評価するのに使用されるシステムのブロック図を示します。測定すべきコードは、コンピュータからデジタル・コンパレータにロードされます。コンピュータはADCの出力と測定すべきコードの比較結果にもとづいて、平衡するまで積分器にスルーすることを指示します。ループは積分器の出力が、コード遷移電圧と等しい電圧を発生すると平衡します。

DVMはこの電圧を読み取り、すべてのADCのコード遷移点の測定も同様に行われます。したがって、ADC性能を決定できるようにソフトウェアをプログラムすることができます。この技術の精度はDVMの精度によって決定されるため、通常は7桁のDVMが使用されます。

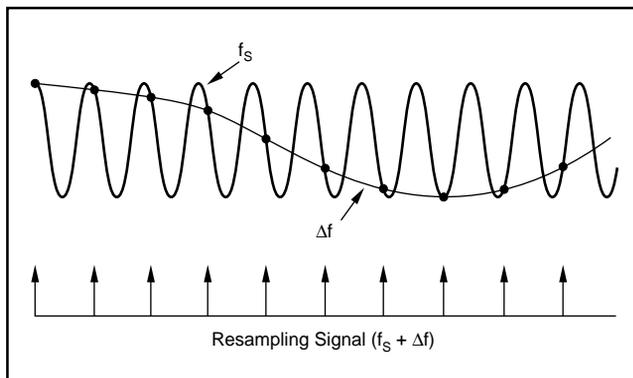


図88. ビート周波数の波形

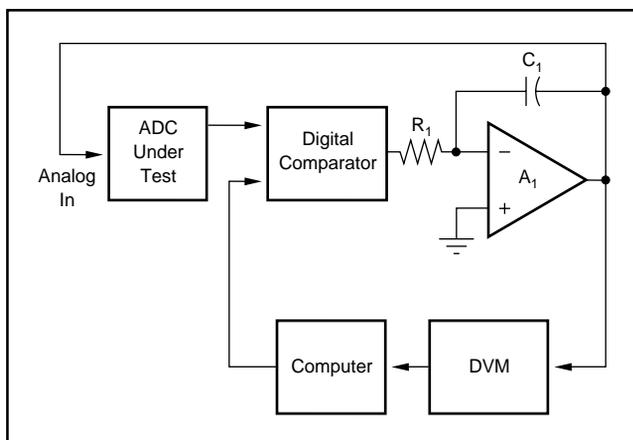


図89. サーボ・ループ試験のブロック図

このアプリケーションノートに記載されている情報は、信頼しうるものと考えておりますが、不正確な情報や記載漏れ等に関して弊社は責任を負うものではありません。情報の使用について弊社は責任を負えませんので、各ユーザーの責任において御使用下さい。価格や仕様は予告なしに変更される場合がありますのでご了承下さい。ここに記載されているいかなる回路についても工業所有権その他の権利またはその実施権を付与したり承諾したりするものではありません。弊社は弊社製品を生命維持に関する機器またはシステムに使用することを承認しまたは保証するものではありません。

日本パー・ブラウン株式会社

<http://www.bbaj.co.jp/>

本社 〒222-0033 横浜市港北区新横浜2-3-12 新横浜スクエアビル ☎ 045-476-7870

大阪営業所 〒532-0011 大阪市淀川区西中島6-1-1 新大阪プライムタワー ☎ 06-6305-3287

フリーラインFAX

本社 ☎ FAX.0120-068801
大阪 ☎ FAX.0120-068805

万一つながらない場合は、お手数ですが弊社営業部FAX045-476-7889（有料）までご連絡くださるか、あるいはTELにてお問い合わせください。

©BBJ991202K